

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2003年7月24日 (24.07.2003)

PCT

(10) 国際公開番号  
WO 03/060722 A1

(51) 国際特許分類: G06F 12/00, 12/06, G11C 16/02

(21) 国際出願番号: PCT/JP02/00025

(22) 国際出願日: 2002年1月9日 (09.01.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI,LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(HORII,Takashi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 吉田 敬一 (YOSHIDA,Keiichi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 野副 敦史 (NOZOE,Atsushi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP).

(74) 代理人: 玉村 静世 (TAMAMURA,Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地新山城ビル42号 Tokyo (JP).

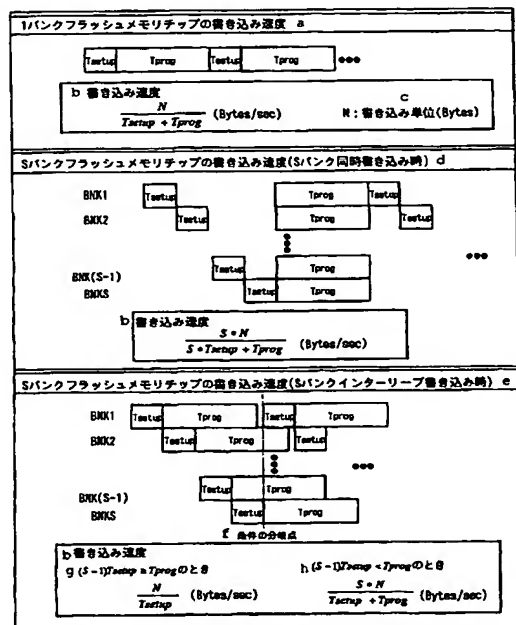
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 堀井 崇史 (81) 指定国 (国内): CN, JP, KR, SG, US.

[続葉有]

(54) Title: MEMORY SYSTEM AND MEMORY CARD

(54) 発明の名称: メモリシステム及びメモ리카ード



- a...WRITE SPEED OF ONE BANK FLASH MEMORY CHIP  
b...WRITE SPEED  
c...N: WRITE UNIT (Byte)  
d...WRITE SPEED OF S BANK FLASH MEMORY CHIPS (WHEN S BANKS ARE SIMULTANEOUSLY WRITTEN)  
e...WRITE SPEED OF S BANK FLASH MEMORY CHIPS (WHEN S BANKS ARE INTERLEAVE-WRITTEN)  
z...BRANCH POINT OF CONDITION  
g...WHEN (S-1)Tsetup < Tprog  
h...WHEN (S-1)Tsetup > Tprog

(57) Abstract: A memory system comprises nonvolatile memory chips (CHP1, CHP2) having memory banks (BNK1, BNK2) capable of performing memory operations independently and a memory controller (5) capable of accessing/controlling separately the nonvolatile memory chips. The memory controller can selectively instruct the memory banks of the nonvolatile memory chips to perform a simultaneous or interleave write operation. Therefore, the simultaneous write operations each requiring a write time much longer than the write set-up time can be completely parallel carried out, and the interleave write operations following the write set-up can be carried out parallel and overlapped with a write operation of another memory bank. As a result, the number of nonvolatile memory chips constituting a memory system capable of performing a high-speed write operation can be relatively small.

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

メモリシステムは、夫々独立にメモリ動作可能な複数のメモリバンク (BNK 1, BNK 2) を有する複数の不揮発性メモリチップ (CHP 1, CHP 2) と、前記不揮発性メモリチップに対して個別にアクセス制御可能なメモリコントローラ (5) とを含む。前記メモリコントローラは前記不揮発性メモリチップの複数のメモリバンクに対する同時書き込み動作又はインタリーブ書き込み動作を選択的に指示することが可能である。したがって、同時書き込み動作では書き込みセットアップ時間に対して格段に長い書き込み動作を完全並列化でき、インタリーブ書き込み動作では書き込みセットアップに続く書き込み動作を他のメモリバンクの書き込み動作に部分的に重ねて並列化でき、結果として、書き込み処理の高速なメモリシステムを構成するのに不揮発性メモリチップの数を比較的少なくすることができる。

## 明 細 書

## メモリシステム及びメモリカード

## 5 技術分野

本発明は、マルチバンクを備えたフラッシュメモリ等の不揮発性メモリを複数チップ用いるメモリシステム若しくはメモリカードに関し、例えばマルチメディアカードなどのメモリカードに適用して有効な技術に関する。

10

## 背景技術

フラッシュメモリはメモリセルトランジスタのフローティングゲート等に対する電子の注入又は引き抜きによりその閾値電圧を相違させることで情報記憶を行なうことができる。本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。書き込みデータに従って情報記憶を行なう場合、消去状態のメモリセルトランジスタに対し、書き込みデータの論理値に応じてメモリセルトランジスタに高電圧を印加する。メモリセルトランジスタに所望の閾値電圧を得るには比較的長い処理時間を必要とする。

15

20

従来フラッシュメモリチップとメモリコントローラを搭載したフラッシュメモリカードにおいて、書き込み動作を見掛け上高速化するのに、インタリーブ書き込み動作を採用するものがある。例えば、カード基板にフラッシュメモリチップを複数個搭載し、一のフラッシュメモリチップに書き込み動作を指示して書き込み動作を開始させた後、他のフラッシュメモリに書き込み動作を指示して書き込み動作を開始させるような動作である。この動作により、書き込み動作時間が見掛け上見えなく

25

なるには多数のフラッシュメモリチップを搭載しなければならない。即ち、一つのフラッシュメモリチップに対して書き込みアドレスや書き込みデータを与えて書き込み動作を指示する書き込みセットアップの時間と、書き込みセットアップによって指示されたメモリアドレスに書き込みデータを書き込む書き込み動作の時間とを比較すると、書き込み動作時間のほうがはるかに長い。この書き込み動作時間を埋めるように、他のフラッシュメモリに対する書き込みセットアップを順次行なっていけば、大多数のフラッシュメモリチップに対する書き込み動作を部分的に並列化でき、多くのフラッシュメモリチップの書き込み動作時間が見掛け上見えなくなる。

しかしながら、フラッシュメモリ単位でインタリーブ書き込みを行なう従来方式では、書き込み動作時間が見掛け上見えなくなるには多数のフラッシュメモリチップを搭載しなければならないため、メモリカードの大型化、コスト上昇を招いてしまう。

本発明の目的は、メモリカードの大型化若しくはコスト上昇を招くほどフラッシュメモリチップを多く搭載することなく書き込み速度を高速化することができるメモリシステム、更にはメモリカードを提供することにある。

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 発明の開示

〔１〕本発明に係るメモリシステムは、夫々独立にメモリ動作可能な複数のメモリバンクを有する複数の不揮発性メモリチップと、前記不揮発性メモリチップに対して個別にアクセス制御可能なメモリコントローラとを含む。前記メモリコントローラは前記不揮発性メモリチップの複

数のメモリバンクに対する同時書き込み動作又はインタリーブ書き込み動作を選択的に指示することが可能である。

上記した手段によれば、マルチバンクを有するチップ単位で複数のメモリバンクに対する同時書き込み動作又はインタリーブ書き込み動作が可能である。同時書き込み動作では書き込みセットアップ時間に対し  
5 て格段に長い書き込み動作を完全並列化でき、インタリーブ書き込み動作では一つのメモリバンクの書き込みセットアップに続く書き込み動作が順次ずれて他のメモリバンクの書き込み動作に部分的に重なって並列化される。これにより、書き込み処理の高速なメモリシステムを構成するの  
10 に不揮発性メモリチップの数を比較的少なくすることができる。

前記同時書き込み動作は、例えばメモリバンクを指定した書き込み動作の直列的な複数の指示の後に当該複数のメモリバンクに対して同じタイミングで開始される書き込み動作である。前記インタリーブ書き込み動作は、例えば既に開始された書き込み動作中に他のメモリバンクを  
15 指定した書き込み指示に応答して新たな書き込み動作を開始していく書き込み動作である。

本発明の一つの望ましい形態として、前記メモリコントローラは、書き込みアドレス情報及び書き込みデータ情報に付随して書き込み動作を指示するコマンドコードの種類によって、前記同時書き込み動作の指示とインタリーブ書き込み動作の指示を区別するのがよい。レジスタ設定で指示することも可能であるが、これに比べると、特別な制御形態を省くことができる。書き込みアドレス情報及び書き込みデータ情報に付随して書き込みコマンドを与えてやれば済む。

25 本発明の一つの望ましい形態として、前記夫々の不揮発性メモリチップがチップ選択端子及びその他複数のアクセス端子を有するとき、メモ

リコントローラが複数の不揮発性メモリチップに対して個別にアクセス制御可能とする接続形態を簡単に得るには、前記メモリコントローラは、夫々の不揮発性メモリチップの前記チップ選択端子に個別接続されるチップ選択信号出力端子と、夫々の不揮発性メモリチップの前記アクセス端子に共通接続される複数のアクセス情報端子とを有するとよい。

〔2〕本発明に係る別の観点によるメモリシステムは、夫々独立にメモリ動作可能な複数のメモリバンクを有する複数の不揮発性メモリチップと、前記複数の不揮発性メモリチップに対して個別にアクセス制御可能なメモリコントローラとを含む。前記メモリコントローラは前記不揮発性メモリチップ毎に順次、不揮発性メモリチップ内のメモリバンクに対するインタリーブ書き込みを指示することが可能である。

前記インタリーブ書き込み指示は、例えば、既に開始させた書き込み動作中に他のメモリバンクを指定した書き込み指示に応答して新たな書き込み動作を開始させる書き込み動作指示である。

上記した手段によれば、マルチバンクを有するチップ単位で複数のメモリバンクに対するインタリーブ書き込み動作が可能である。インタリーブ書き込み動作では一つのメモリバンクの書き込みセットアップに続く書き込み動作が順次ずれて他のメモリバンクの書き込み動作に部分的に重なって並列化される。これにより、書き込み処理の高速なメモリシステムを構成するのに不揮発性メモリチップの数を比較的少なくすることができる。

〔3〕本発明に係る更に別の観点によるメモリシステムは、夫々独立にメモリ動作可能な複数のメモリバンクを有する複数の不揮発性メモリチップと、前記不揮発性メモリチップに対して個別にアクセス制御可能なメモリコントローラとを含む。前記メモリコントローラは前記不揮発性メモリチップ毎に順次、不揮発性メモリチップ内のメモリバンク間に

〔５〕本発明に係る更に別の観点によるメモリシステムは、夫々独立にメモリ動作可能な複数のメモリバンクを有する複数のフラッシュメモリチップと、前記フラッシュメモリチップをアクセスコマンドを用いてアクセス制御するメモリコントローラとを含む。前記メモリコントローラは、第１コマンドコード、第１コマンドコードに後続させたメモリバンクのアドレス情報、及びメモリバンクのアドレス情報に後続する第２コマンドコードを出力して、前記アドレス情報で指定されるメモリバンクに対し、第２コマンドコードの入力毎にメモリ動作を開始させる。また、第１コマンドコード、第１コマンドコードに後続させたメモリバンクのアドレス情報、メモリバンクのアドレス情報に後続させた第３コマンドコード、第３コマンドコードに後続させたメモリバンクのアドレス情報、及びメモリバンクのアドレス情報に後続させた第２コマンドコードを出力して、前記第１コマンドコードから第２コマンドコードの間で前記第３コマンドで区切られた複数のアドレス情報で指定される複数のメモリバンクに対し、第２コマンドコードの入力に応答して同時にメモリ動作を開始させる。前者が前記インタリーブ書き込み動作であり、後者が前記同時書き込み動作である。

前記第１コマンドコードは書き込み動作の種類を与えるコマンドコードであり、第２コマンドコードは書き込み動作の開始を指示するコマンドコードであり、第３コマンドコードはアドレス情報が後続することを示すコマンドコードである。

〔６〕本発明に係るメモリカードは、カード基板に、外部接続端子と、前記外部接続端子に接続された外部インタフェース回路と、前記外部インタフェース回路に接続されたメモリコントローラと、前記メモリコントローラにより個別にアクセス制御を受ける複数のフラッシュメモリチップとを有する。前記フラッシュメモリチップは、夫々独立にメモリ

動作可能な複数のメモリバンクを有する。前記メモリコントローラは前記フラッシュメモリチップの複数のメモリバンクに対する同時書き込み動作又はインタリーブ書き込み動作を選択的に指示することが可能である。

- 5       書き込みデータバッファとしてSRAMを搭載してもよい。マルチメディアカード等に適用する場合、前記外部接続端子は1ビットのデータ入出力端子、1ビットのコマンド端子、電源電圧端子、回路の接地電圧端子、及びクロック端子を含む。

- 10       このメモリカードにおいても、上記同様に、同時書き込み動作では書き込みセットアップ時間に対して格段に長い書き込み動作を完全並列化でき、インタリーブ書き込み動作では一つのメモリバンクの書き込みセットアップに続く書き込み動作が順次ずれて他のメモリバンクの書き込み動作に部分的に重なって並列化することができるから、書き込み処理の高速なメモリカードを構成するのに不揮発性メモリチップの数を比較的に少なくすることができ、メモリカードのコスト上昇を抑えて書き込み動作の高速化を実現することができる。
- 15

- 〔7〕本発明に係る不揮発性半導体記憶装置は、メモリコントローラと1以上の不揮発性メモリとを有する。前記メモリコントローラは前記1以上の不揮発性メモリに対して、情報が書き込まれるべきアドレスを示すアドレス情報を含む書込指示コマンドを発行する。前記不揮発性メモリのうち、第1の不揮発性メモリはアドレスにより分離される複数の記憶領域を有し、それぞれの記憶領域は他の記憶領域と並行してメモリアクセス動作が可能とされる。記メモリコントローラは前記第1の不揮発性メモリの第1の記憶領域に含まれるアドレスへの情報の書込を指示する第1の書込指示コマンドを発行した後、前記第1の記憶領域での書込動作が完了する前に、前記第1の不揮発性メモリの第2の記憶領域に
- 20
- 25



含まれるアドレスへの情報の書込を指示する第2の書込指示コマンドを発行可能である。

5 前記不揮発性メモリは、例えば、複数のメモリ素子を有し、前記不揮発性メモリの書込動作は、前記書込指示コマンドにより指示されるアドレスに応じて一群のメモリ素子を選択し、選択されたそれぞれのメモリ素子に書き込まれるべき情報に応じたしきい値電圧に変化させるものである。

10 前記不揮発性メモリの書込動作は、例えば、メモリセルのしきい値電圧を変化させるための第1の動作と、それぞれのメモリセルのしきい値電圧が前記書き込まれるべき情報に対応したしきい値電圧に変化したか否かを確認するための第2の動作とを含み、前記第2の動作の後、少なくとも1のメモリセルのしきい値電圧が書き込まれるべき情報に対応したしきい値電圧に変化していない場合、前記第1の動作を行う。

15 前記複数のメモリ素子は、例えば、3以上のしきい値電圧分布のうち、書き込まれるべき情報に対応したしきい値電圧分布に含まれるしきい値電圧とされる。

〔8〕本発明に係る不揮発性記憶装置は、データの入出力に用いられる第1端子と、動作指示コマンドの入力に用いられる第2端子と、データの入出力及び動作指示コマンドの入力のタイミングを指示するクロックの入力に用いられる第3端子を有する。更に、前記第2端子から入力された動作指示コマンドに応じた動作を制御する制御部と、前記制御部の制御に基づきデータの格納又は読み出しを行う1以上の不揮発性メモリとを有する。前記不揮発性メモリはアドレスに対応した複数のメモリ素子を有し、前記複数のメモリ素子は複数のグループに分類され、第1グループのデータ格納動作中に他のグループにおいてデータの格納動作を開始することが可能とされる。

20

25

前記制御部は、例えば、前記第 1 端子から入力されたデータを所定バイト毎に分割し、第 1 データを第 1 の不揮発性メモリの前記第 1 グループに格納指示し、第 2 データを前記第 1 の不揮発性メモリの第 2 グループに格納指示する。

5      上記において、前記制御部は、例えば、前記不揮発性メモリへの格納動作を指示する格納指示コマンドを発行する。前記格納指示コマンドは、該コマンドが格納指示コマンドであることを示す第 1 コマンドと、データを格納すべきメモリ素子を指示するアドレス情報と、格納すべきデータと、格納動作開始を指示する第 2 コマンドから構成される。

10      上記において前記制御部は、例えば、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 アドレスと、前記第 1 データと、前記第 2 コマンドとを発行した後、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 2 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行する。

15      また、上記において、前記制御部は、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 アドレスと、前記第 1 データとを発行した後、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 2 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行する。

20      更に観点を変えて前記制御部は、例えば、前記第 1 端子から入力されたデータを所定バイト毎に分割し、第 1 データを第 1 の不揮発性メモリの前記第 1 グループに格納指示し、第 2 データを第 2 の不揮発性メモリの第 1 グループに格納指示する。

25      上記において前記制御部は、例えば、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 ア

ドレスと、前記第 1 データと、前記第 2 コマンドとを発行した後、前記第 1 コマンドと、前記第 2 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行する

- 5      上記において前記制御部は、例えば、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 アドレスと、前記第 1 データとを発行した後、前記第 1 コマンドと、前記第 2 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行する。

10

#### 図面の簡単な説明

第 1 図は本発明に係るメモリシステムの一例であるメモリカードを例示するブロック図である。

- 15      第 2 図は書き込みのためのセットアップ動作（書き込みセットアップ動作）とメモリ動作（書き込み動作）の例示的タイミングチャートである。

第 3 図は動作選択された一つのフラッシュメモリチップにおいて 1 個ずつメモリバンクを動作させる 1 バンク動作の例示的タイミングチャートである。

- 20      第 4 図は 2 バンク同時書き込みの例示的タイミングチャートである。

第 5 図はインタリーブ書き込み動作の例示的タイミングチャートである。

第 6 図は書き込み動作態様毎に書き込み動作タイミングと書き込み速度を例示する説明図である。

- 25      第 7 図は  $N = 2 \text{ K}$  バイト、 $T_{\text{setup}} = 100 \mu\text{sec}$ 、 $T_{\text{prog}} = 1000 \mu\text{sec}$  とするときインタリーブ書き込みと同時書き込みの

夫々におけるメモリバンクの数と書き込み速度の関係を例示する説明図である。

第8図は1バンクフラッシュメモリチップをU個用いたときの書き込み動作タイミングと書き込み動作速度を例示する説明図である。

- 5 第9図はSバンクフラッシュメモリチップをU個用いたときの同時書き込み動作タイミングと書き込み動作速度を例示する説明図である。

第10図はSバンクフラッシュメモリチップをU個用いたときのインタリーブ書き込み動作タイミングと書き込み動作速度を例示する説明図である。

- 10 第11図は上記第8図乃至第10図の夫々の書き込み動作態様において書き込み速度が最大となるチップ数とメモリバンク数との関係を例示する説明図である。

第12図は本発明を適用したマルチメディアカードのブロック図である。

- 15 第13図は1バンク1チップ利用形態の書き込み動作形態と動作タイミングを例示する説明図である。

第14図は1バンク2チップ利用形態の書き込み動作形態と動作タイミングを例示する説明図である。

- 20 第15図は2バンク同時書き込み1チップ利用形態の書き込み動作形態と動作タイミングを例示する説明図である。

第16図は2バンク同時書き込み2チップ利用形態の書き込み動作形態と動作タイミングを例示する説明図である。

第17図は2バンクインタリーブ書き込み1チップ利用形態の書き込み動作形態と動作タイミングを例示する説明図である。

- 25 第18図は2バンクインタリーブ書き込み2チップ利用形態の書き込み動作形態と動作タイミングを例示する説明図である。

第 19 図はフラッシュメモリチップの一例を全体的に示すブロック図である。

第 20 図はメモリバンクの一例を示すブロック図である。

第 21 図は不揮発性メモリセルの断面構造を例示する説明図である。

5 第 22 図はAND型メモリセルアレイの一部を例示する回路図である。

第 23 図はメモリセルに対する消去及び書込みの電圧印加状態を例示する説明図である。

第 24 図はフラッシュメモリのコマンドを例示する説明図である。

10

発明を実施するための最良の形態

《メモリシステム》第 1 図には本発明に係るメモリシステムの一例であるメモリカードが示される。同図に示されるメモリカード 1 は、カード基板 2 に、夫々独立にメモリ動作可能な複数例えば 2 個のメモリバンク BNK 1, BNK 2 を有する複数の不揮発性メモリチップ例えば 2 個のフラッシュメモリチップ CHP 1, CHP 2 と、前記フラッシュメモリチップ CHP 1, CHP 2 に対して個別にアクセス制御可能なメモリコントローラ 5 と、前記メモリコントローラ 5 に接続する SRAM 6 を有する。前記 SRAM 6 はフラッシュメモリチップ CHP 1, CHP 2 に対する書き込みデータを一時的に格納するデータバッファとしての利用が可能にされる。前記メモリコントローラ 5 は前記フラッシュメモリチップ CHP 1, CHP 2 のメモリバンク BNK 1, BNK 2 に対する同時書き込み動作又はインタリーブ書き込み動作を選択的に指示することが可能である。

25 前記フラッシュメモリチップ CHP 1, CHP 2 の詳細は後で説明することとして、ここでは前記同時書き込み動作又はインタリーブ書き込

み動作の指示に応答する為の機能について予め説明する。夫々のフラッシュメモリチップCHP 1, CHP 2は、チップ選択端子/CE、リセット端子/RES、ライトイネーブル端子/WER、アウトプットイネーブル端子/OE、コマンドデータイネーブル端子/CDE、シリアルクロック端子SC、入出力端子I/O[0:7]、及びレディー/ビジー端子R/Bを有する。入出力端子I/O[0:7]はデータ入出力、アドレス入力、及びコマンド入力に兼用される。入出力端子I/O[0:7]からのコマンド入力はコマンドイネーブル信号/CDEの変化に同期される。データ入出力はシリアルクロックSCに同期される。アドレス情報の入力はライトイネーブル信号/WEの変化に同期される。

フラッシュメモリチップCHP 1に対する動作選択はメモリコントローラ5よりのチップ選択信号/CE 0で指示され、フラッシュメモリチップCHP 2に対する動作選択はメモリコントローラ5よりのチップ選択信号/CE 1で指示される。フラッシュメモリチップCHP 1, CHP 2のその他のインタフェース端子は対応するもの同志で共通にメモリコントローラ5の対応端子に共通接続される。

チップイネーブル信号/CE 0, /CE 1で動作選択されたフラッシュメモリチップCHP 1, CHP 2に対するメモリ動作内容は、入出力端子I/O[0:7]を介して供給されるコマンド及びアドレス情報、そして必要な場合には書き込みデータによって指示される。アドレス情報にはメモリバンクBNK 1又はBNK 2の指定情報、指定されたメモリバンクにおけるアクセスアドレス情報等が含まれる。このメモリ動作内容を指示する動作をセットアップ動作と称する。セットアップ動作は外部とのインタフェースを必ず必要とするからメモリバンク毎に直列的に行われなければならない。動作選択されたフラッシュメモリチップCHP 1, CHP 2はセットアップ動作で指示された内容にしたがって、フラッシュメモリ

リセルに対する書き込み、消去、又は読み出しなどのメモリ動作を行なう。メモリ動作は前記セットアップ動作で供給されたアクセス制御情報に従ってバンク毎に独立に行なう事ができる。したがって、メモリ動作はメモリバンク間で並列化可能である。

- 5       第2図には一例として書き込みのためのセットアップ動作(書き込みセットアップ動作)とメモリ動作(書き込み動作)のタイミングチャートが例示される。書き込みセットアップ動作で入力される“10H”は書き込みコマンド、“SA(1), SA(2)”はセクタアドレス、“CA(1), CA(2)”はカラムアドレス、“Din1~DinN”は
- 10       書き込みデータ、“40H”は書き込み開始コマンドである。

- 第2図において書き込み動作の時間(書き込み動作時間 $T_{prog}$ )は書き込みセットアップの時間(書き込みセットアップ時間 $T_{setup}$ )に比べて格段に長い。書き込みデータDin1~DinNのデータ量は一般的に多く、書き込みセットアップ時間 $T_{setup}$ はSC同期
- 15       で入力される書き込みデータ量に比例する。

      第3図には動作選択された一つのフラッシュメモリチップにおいて1個ずつメモリバンクを動作させる1バンク動作のタイミングチャートが例示される。書き込みデータはDin1~DinNとされる。メモリバンクBNK1, BNK2毎に直列的に書き込み動作が行なわれる。

- 20       第4図には2バンク同時書き込みのタイミングチャートが例示される。コマンド等の入力には $T_{setup}$ の約2倍の時間がかかるが、2個のメモリバンクBNK1, BNK2の動作時間は、並列動作故に時間 $T_{prog}$ で済む。

- 第5図にはインタリーブ書き込み動作のタイミングチャートが例示される。前記2バンク同時書き込み動作は一のメモリバンクを指定した書き込み動作の指示に応答するメモリ動作の開始前に続けて他のメモリバ
- 25

バンクを指定した書込み動作の指示があるとき双方のメモリバンクを同時並列に書込み動作させるものである。これに対し、インタリーブ書込み動作は、一のメモリバンクを指定した書込み動作の指示に応答するメモリ動作中でも他のメモリバンクを指定した書込み動作の指示に応答してメモリ動作可能とする動作を意味する。時間  $T_x$  は書き込み動作の開始を指示するコマンドコード“40H”の発行から、次の書込み動作のセクタアドレス発行までの時間であり、其の時間は実質的に0に近付けることができる。

第4図の書込みセットアップ動作における書込みアクセスコマンドのコマンドコードは“10H”，“41H”，“40H”であり、第5図の書込みセットアップ動作における書込みアクセスコマンドのコマンドコードは“10H”，“40H”，“40H”である。第5図の時間 $T_x$ が実質的に0であれば、第4図の2バンク並列同時書き込みの為の書込みセットアップ動作時間と、第5図のインタリーブ書込み動作のための書込みセットアップ動作時間は実質的に等しくなる。要するに、第4図の2バンク並列同時書き込み動作時間と、第5図のインタリーブ書込み動作時間は、最短で $2T_{setup} + T_{prog}$ になる。これに対して第3図の1バンク動作では2個のメモリバンクBNK1, BNK2に対する書込みの最短時間は $2T_{setup} + 2T_{prog}$ になる。

上述の如く、フラッシュメモリチップＣＨＰ１，ＣＨＰ２は、セットアップ動作で与えられるコマンドコードによって、複数メモリバンクに対する並列同時書き込み動作と、インタリーブ書き込み動作が区別されて指示される。また、複数のメモリバンク３，４で並列に書き込み又はインタリーブ書き込み動作が可能であるから、書き込み動作によるビジー状態の期間を短縮することが可能である。要するに、メモリコントローラ５からの書き込み動作の指示に対する処理を高速化することが可能であ



る。

フラッシュメモリチップにおける並列に書き込み又はインタリーブ  
書き込み動作により書き込み処理を高速化できることが理解されたところ  
で、1個のフラッシュメモリチップにおけるメモリバンクの数と書き込  
み速度の関係を書き込み動作態様毎にまとめる。

第6図には書き込み動作態様毎に書き込み動作タイミングと書き込み速  
度が例示される。第6図において、書き込み動作の書き込み単位をNバイ  
トとする。メモリバンクが1個のフラッシュメモリチップの書き込み速度  
は、 $N / (T_{\text{setup}} + T_{\text{prog}})$  [Bytes/sec] となる。

S個のメモリバンクを有するフラッシュメモリチップにおけるS個  
のメモリバンク同時書き込みを行なう場合の書き込み速度は  $S \cdot N / (S \cdot$   
 $T_{\text{setup}} + T_{\text{prog}})$  [Bytes/sec] になる。

S個のメモリバンクを有するフラッシュメモリチップにおけるS個  
のメモリバンクに対するインタリーブ書き込みを行なう場合の書き込み速  
度は、 $(S - 1) \cdot T_{\text{setup}}$ と $T_{\text{prog}}$ の大小関係によって場合  
分けされる。即ち、メモリバンクBNK1～BNKSまでセットアップ  
動作を一巡したとき、メモリバンクBNK1の書き込み動作が既に終了し  
ているか否かの観点より場合分けされる。 $(S - 1) \cdot T_{\text{setup}} \geq$   
 $T_{\text{prog}}$ のとき書き込み速度は  $N / T_{\text{setup}}$  [Bytes/sec] となる。 $(S - 1) \cdot T_{\text{setup}} < T_{\text{prog}}$ のとき書き込み速度  
は  $S \cdot N / (T_{\text{setup}} + T_{\text{prog}})$  [Bytes/sec] にな  
る。

第7図には  $N = 2K$  バイト、 $T_{\text{setup}} = 100 \mu\text{sec}$ 、 $T_{\text{prog}} = 1000 \mu\text{sec}$  とするときインタリーブ書き込みと同時書き込み  
の夫々における1個のフラッシュメモリのメモリバンクの数と第6図  
で説明した書き込み速度の関係が例示される。インタリーブ書き込みの場合

にはメモリバンク数がある値まで増やすとそれ以上増やしても書き込み動作速度は変わらない。同時書き込みの場合にはバンク数を増やすに従って書き込み動作速度の上昇率は漸次減少する。バンク数が比較的少ない所ではインタリーブ書き込みと同時書き込みの書き込み動作速度はほぼ同じになる。

次に、複数個のフラッシュメモリチップにおけるメモリバンク数と書き込み速度の関係を書き込み動作態様毎にまとめる。

第8図には1バンクフラッシュメモリチップをU個用いたときの書き込み動作タイミングと書き込み動作速度が例示される。この動作態様は、U個のメモリバンクを有する1個のフラッシュメモリチップに対する  
10 インタリーブ書き込み動作態様と等価になり、第6図におけるSバンクインタリーブ書き込み動作に対応する。 $(U-1) \cdot T_{\text{setup}} \geq T_{\text{prog}}$ のとき書き込み速度は $N / T_{\text{setup}} [\text{Bytes/sec}]$ となる。 $(U-1) \cdot T_{\text{setup}} < T_{\text{prog}}$ のとき書き込み速度は $U \cdot N / (T_{\text{setup}} + T_{\text{prog}}) [\text{Bytes/sec}]$ になる。  
15

第9図にはSバンクフラッシュメモリチップをU個用いたときの同時書き込み動作タイミングと書き込み動作速度が例示される。この動作態様は、第6図におけるSバンク同時書き込み動作のU倍の処理に対応する。このときの書き込み速度は、 $S(U-1) \cdot T_{\text{setup}}$ と $T_{\text{prog}}$ の  
20 大小関係によって場合分けされる。即ち、全てのチップCHP1~CHPUのメモリバンクに対してセットアップ動作を完了したとき、一つのチップCHP1における全てのメモリバンクBNK1~BNKSのインタリーブ書き込みが既に終了しているか否かの観点より場合分けされる。 $S(U-1) \cdot T_{\text{setup}} \geq T_{\text{prog}}$ のとき書き込み速度は $N / T_{\text{setup}} [\text{Bytes/sec}]$ となる。 $S(U-1) \cdot T_{\text{setup}} < T_{\text{prog}}$ のとき書き込み速度は $S \cdot U \cdot N / (S \cdot T_{\text{setup}} + T_{\text{prog}}) [\text{Bytes/sec}]$ となる。  
25

+Tprog) [Bytes/sec] になる。

第10図にはSバンクフラッシュメモリチップをU個用いたときの  
インタリーブ書き込み動作タイミングと書き込み動作速度が例示される。  
この動作態様は、S・U個のメモリバンクを有する1個のフラッシュメモ  
5 リップに対するインタリーブ書き込み動作態様と等価になり、第6図  
におけるSバンクインタリーブ書き込み動作のU倍の処理に対応する。

このときの書き込み速度は、 $(S \cdot U - 1) \cdot T_{\text{setup}}$ とTprog  
の大小関係によって場合分けされる。即ち、全てのチップCHP1~C  
HPUのメモリバンクに対してセットアップ動作を一巡したとき、一つ  
10 のチップCHP1における一つのメモリバンクBNK1のインタリー  
ブ書き込みが既に終了しているか否かの観点より場合分けされる。 $(S \cdot U - 1) \cdot T_{\text{setup}} \geq T_{\text{prog}}$ のとき書き込み速度は $N / T_{\text{setup}}$  [Bytes/sec] となる。 $(S \cdot U - 1) \cdot T_{\text{setup}} < T_{\text{prog}}$ のとき書き込み速度は $S \cdot U \cdot N / (T_{\text{setup}} + T_{\text{prog}})$   
15 [Bytes/sec] になる。

上記第8図乃至第10図の書き込み動作態様において、書き込み速度が $N / T_{\text{setup}}$  [Bytes/sec] になる場合、即ちチップ数を増  
やしても書き込み速度が上がらないという状態は、メモリコントローラ5  
からフラッシュメモリチップにセットアップデータと書き込みデータ  
20 を常に送り続けることができる状態を意味する。このチップ数を増やし  
ても書き込み速度が上がらないという境界点のチップ数が、夫々の書き込み  
動作態様における書き込み速度最大となるシステムの面積最小値、要する  
にフラッシュメモリチップ数の最小値を与えることになる。第11図に  
はその観点より、上記第8図乃至第10図の夫々の書き込み動作態様にお  
いて書き込み速度が最大となるチップ数とメモリバンク数との関係を例  
25 示する。同図では $T_{\text{setup}} = 100 \mu\text{sec}$ 、 $T_{\text{prog}} = 100$

0  $\mu$ secを条件としている。第11図によれば、独立にメモリ動作可能なメモリバンクを複数個持つマルチバンク構成のフラッシュメモリチップを用いてメモリチップ内同時書き込み又はメモリチップ内インタリーブ書き込みを行なえば、書き込み速度の高速なメモリシステムを構築  
5 するときに必要なフラッシュメモリチップの数を少なくすることができる、ということが明らかになる。

上述の如く、選択可能な同時書き込み動作ではマルチチップのマルチバンクに対して書き込みセットアップ時間に対し格段に長い書き込み動作を完全並列化でき、選択可能なインタリーブ書き込み動作ではマルチ  
10 チップのマルチバンクに対して一つのメモリバンクの書き込みセットアップに続く書き込み動作が順次ずれて他のメモリバンクの書き込み動作に部分的に重なって並列化される。これにより、書き込み処理の高速なメモリシステムを構成するのに不揮発性メモリチップの数を比較的少なくすることができる。

前記メモリコントローラは、書き込みアドレス情報及び書き込みデータ情報に付随して書き込み動作を指示するコマンドコードの種類によって、前記同時書き込み動作の指示とインタリーブ書き込み動作の指示を区別しており、これをレジスタ設定で指示することも可能であるが、  
15 レジスタ設定に比べると、特別な制御形態を省くことができる。書き込みアドレス情報及び書き込みデータ情報に付随して書き込みコマンド  
20 を与えてやれば済む。

《マルチメディアカードへの適用》第12図には本発明を適用したマルチメディアカードが例示される。マルチメディアカード11は、その標準化団体による仕様によれば、24mm×32mm×1.4mmのカード寸法を有する。カード基板12には、接続端子として、カードセレクト信号CSを入力する1個の接続端子13a、コマンドCMDを入力  
25

する1個の接続端子13b、クロック信号CLKを入力する1個の接続端子13c、データDATを入出力する1個の接続端子13d、電源電圧Vccが供給される1個の接続端子13e、及びグランド電圧Vssが供給される2個の接続端子13f、13gを有する。

- 5      カード基板12には、インタフェースドライバ14、前記メモリコントローラ5、SRAM6、及びフラッシュメモリチップCHP1、CHP2を有する。前記メモリコントローラ5はインタフェース制御部15とメモリ制御部16を有する。前記インタフェース制御部15は、ホストインタフェース制御、ファイルコントロール制御、及びデータ転送制御の為の制御ロジック回路を有する。インタフェース制御部15は、インタフェースドライバ14を介してホストシステムから供給されるコマンドを受け付け、これを解読して、メモリコントロール部16に動作を指示する。メモリコントロール部16はその指示を受けてフラッシュメモリチップCHP1、CHP2に対するファイルデータのアクセス制御を行う。例えば、インタフェース制御部15は外部から供給された書込みデータを一時的にSRAMに蓄え、メモリコントロール部16に前述のマルチチップのマルチバンクに対する同時書き込み、或はマルチチップのマルチバンクに対するインタリーブ書き込みを指示する。メモリコントロール部16はその指示に従ってフラッシュメモリチップCHP1、CHP2にコマンドコード及び書き込みデータを供給し、マルチチップのマルチバンクに対する同時書き込み、或はマルチチップのマルチバンクに対するインタリーブ書き込み等を制御する。
- 10
- 15
- 20

- ここで、上記マルチメディアカード11における種々の書き込み動作態様での書き込み速度について説明する。前記フラッシュメモリチップCHP1、CHP2の特性を $T_{\text{setup}} = 100 \mu\text{sec}$ 、 $T_{\text{prog}} = 2000 \mu\text{sec}$ とし、前述のNに相当する書き込み単位である1セクタ
- 25

を2kバイトとする。このとき、ホストシステムからデータ端子DATには50nsecの周期でシリアルにデータが入力されるから、2kバイトの書込みデータがデータ端子DATに入力されるのに、 $2048 \times 8 \times 50 \div 0.82 \text{ msec}$ の時間がかかる。

- 5      第13図には1個のフラッシュメモリチップの1個のメモリバンクだけを用いた動作形態(1バンク1チップ利用形態)の書込み動作タイミングが例示される。この場合のホストシステムからメモリカードへのデータ転送速度は、0.67Mバイト/secとなる。

- 10      第14図には2個のフラッシュメモリチップに対し夫々1個のメモリバンクを用いた動作形態(1バンク2チップ利用形態)の書込み動作タイミングが例示される。この場合のホストシステムからメモリカードへのデータ転送速度は、1.34Mバイト/secとなる。

- 15      第15図には1個のフラッシュメモリチップに対し2個のメモリバンクを同時書込みする動作形態(2バンク同時書き込み1チップ利用形態)の書込み動作タイミングが例示される。この場合のホストシステムからメモリカードへのデータ転送速度は、1.04Mバイト/secとなる。

- 20      第16図には2個のフラッシュメモリチップに対し夫々2個のメモリバンクを同時書込みする動作形態(2バンク同時書き込み2チップ利用形態)の書込み動作タイミングが例示される。この場合のホストシステムからメモリカードへのデータ転送速度は、2.08Mバイト/secとなる。

- 25      第17図には1個のフラッシュメモリチップに対し2個のメモリバンクをインタリーブ書込みする動作形態(2バンクインタリーブ書き込み1チップ利用形態)の書込み動作タイミングが例示される。この場合のホストシステムからメモリカードへのデータ転送速度は、1.24M

バイト/secとなる。

第18図には2個のフラッシュメモリチップに対し夫々2個のメモリバンクをインタリーブ書き込みする動作形態(2バンクインタリーブ書き込み2チップ利用形態)の書き込み動作タイミングが例示される。この  
5 場合のホストシステムからメモリカードへのデータ転送速度は、2.38Mバイト/secとなる。

第13図乃至第18図の動作形態毎の動作速度結果より、第16図に示される2バンク同時書き込み2チップ利用の動作形態、第18図に示される2バンクインタリーブ書き込み2チップ利用の動作形態の二つの動作形態を採用した場合にはホストシステム側からのデータ転送速度を相対的に速くすることができる。第16図に示される2バンク同時書き込み2チップ利用の動作形態は第9図の複数チップに対するSバンク同時書き込みの一つの態様であり、第18図に示される2バンクインタリーブ書き込み2チップ利用の動作形態は第10図のSバンクインタリーブ書き込みの一つの態様である。したがって、マルチチップのマルチバンクに対して同時書き込み動作又はインタリーブ書き込み動作を採用することにより、書き込み処理の高速なメモリシステムを構成可能であることが更に明らかになる。  
10  
15

同時書き込みを採用するかインタリーブ書き込みの何れを採用するかは  
20 ホストシステム側の対応次第で任意である。第18図の場合には処理速度は最速であるが、ホストシステムは間段なく書き込みコマンド及び書き込みデータを送り続けなければならない。第16図の場合はメモリカード側で僅かにビジー状態が発生し僅かに処理速度は落ちるが、ビジー状態の期間にホストシステムはその他の処理を行なう自由度を得ることになる。  
25

《フラッシュメモリの全体構成》第19図には前記フラッシュメモリ

チップCHP1の一例が全体的に示される。

前記フラッシュメモリチップCHP1は、単結晶シリコンのような1個の半導体基板（半導体チップ）22に、夫々独立にメモリ動作可能な複数個例えば2個のメモリバンクBNK1、BNK2と、前記2個のメモリバンクBNK1、BNK2に対するメモリ動作を制御する制御部25と、前記メモリバンクBNK1、BNK2毎に設けられたステータスレジスタ26、27と、外部とのインタフェース制御部28と、メモリバンクBNK1、BNK2毎に割り当てられた救済回路29、30と、アドレスバッファ31と、アドレスカウンタ32と、内部電源回路33とを有する。前記制御部25は、コマンドデコーダ40、CPU（中央処理装置）及びその動作プログラムメモリ（PGM）を有するプロセッサ（プロセッサを単にCPUとも記す）41、データ入出力制御回路42を有する。

フラッシュメモリチップCHP1の入出力端子I/O[7:0]はアドレス入力、データ入出力、コマンド入力に兼用される。入出力端子I/O[7:0]から入力されたXアドレス信号はインタフェース制御部28を介してXアドレスバッファ31に供給され、入力されたYアドレス信号はインタフェース制御部28を介してYアドレスカウンタ32にプリセットされる。入出力端子I/O[7:0]から入力されたコマンドはインタフェース制御部28を介してコマンドデコーダ40に供給される。入出力端子I/O[7:0]からメモリバンクBNK1、BNK2に供給されるべき書込みデータはインタフェース制御部28を介してデータ入出力制御回路42に与えられる。メモリバンクBNK1、BNK2からのリードデータはデータ入出力制御回路42からインタフェース制御部28介して入出力端子I/O[7:0]に与えられる。尚、入出力端子I/O[7:0]から入出力される信号を便宜上信号I



／O [7 : 0] とも称する。

5 前記インタフェース制御部 28 はアクセス制御信号として、前述のチップイネーブル信号／CE、出力イネーブル信号／OE、書き込みイネーブル信号／WE、シリアルクロック信号SC、リセット信号／RES  
10 及びコマンドイネーブル信号／CDEを入力する。信号名の直前に記付された記号／は当該信号がロー・イネーブルであることを意味する。インタフェース制御部 28 は、それら信号の状態に応じて外部との信号インタフェース機能などを制御する。

10 前記夫々のメモリバンクBNK1, BNK2は、記憶情報の書き換え可能な不揮発性メモリセルを多数有する。不揮発性メモリセルの一部は欠陥メモリセルを置き換えるための救済用(冗長用)メモリセルとされる。前記救済回路29、30は、救済用メモリセルによって置き換えるべき欠陥メモリセルのアドレスをプログラム可能なプログラム回路(図示せず)と、プログラムされた救済すべきアドレスがアクセスアドレス  
15 として指定されたかを判定するアドレスコンパレータ(図示せず)を有する。前記メモリバンクBNK1, BNK2から不揮発性メモリセルを選択するためのXアドレス信号はアドレスバッファ31から出力され、前記メモリバンクBNK1, BNK2から不揮発性メモリセルを選択するためのYアドレス信号はアドレスカウンタ32から出力される。Xアドレス信号及びYアドレス信号は、救済回路29、30に供給され、救済すべきアドレスである場合にはアドレスの置き換えが行われ、救済すべきアドレスでない場合にスルーで、メモリバンクBNK1, BNK2  
20 に供給される。

25 前記夫々のメモリバンクBNK1, BNK2は、特に制限されないが、第20図に例示されるように、メモリセルアレイ50、Xアドレスデコーダ51、Yアドレスデコーダ52、Yスイッチ回路53、センスラッ

チ回路 5 4、及びデータラッチ回路 5 5 等を有する。前記メモリセルア  
レイ 5 0 は電氣的に消去及び書き込み可能な不揮発性メモリセルを多  
数有する。例えば、第 2 1 図に例示されるように、不揮発性メモリセル  
MC は、半導体基板若しくはメモリウェル SUB に形成されたソース S  
5 及びドレイン D と、チャンネル領域に酸化膜を介して形成されたフロー  
ティングゲート FG、そしてフローティングゲート FG に層間絶縁膜を  
介して重ねられたコントロールゲート CG を有して構成される。前記メ  
モリセルアレイ 5 0 は第 2 2 図に例示される AND 型アレイの場合、主  
ビット線 MBL に、代表的に例示された副ビット SBL が選択 MOS ト  
10 ランジスタ M1 を介して接続され、副ビット線 SBL に不揮発性メモリ  
セル MC のドレインが結合される。副ビット線 SBL を共有する不揮発  
性メモリセル MC のソースは第 2 選択 MOS トランジスタ M2 を介し  
てソース線 SL に共通接続される。第 1 選択 MOS トランジスタ M1 は  
行方向単位でビット線制御線 SDi にてスイッチ制御され、第 2 選択 M  
15 OS トランジスタ M2 は行方向単位でソース線制御線 SSi にてスイ  
ッチ制御される。

第 2 0 図の前記 X アドレスデコーダ 5 1 は、X アドレス信号をデコー  
ドし、指定されたメモリ動作に応じて、ワード線 WL、ビット線制御線  
SDi、ソース線制御線 SSi の選択を行なう。Y アドレスデコーダ 5  
20 2 は、アドレスカウンタ 3 2 から出力される Y アドレス信号をデコード  
して、ビット線選択用の Y スイッチ回路 5 3 のスイッチング制御信号を  
生成する。前記データラッチ回路 5 5 は外部からバイト単位で入力され  
た書き込みデータを一時的に保持するデータバッファとしての機能を有  
する。前記センスラッチ回路 5 4 は不揮発性メモリセルから読み出され  
25 た記憶情報をセンスして保持し、また、前記データラッチ回路 5 5 から  
与えられた書き込み動作のための書き込み制御データを保持する。

前記メモリセルに対する消去は、第 2 3 図に例示されるように、ワード線単位（1セクタ単位でもある）の一括消去とされ、選択ワード線に -1.7 V、非選択ワード線に 0 V が印加され、ソース線は 0 V とされる。

前記メモリセルに対する書込は、第 2 3 図に例示されるように、書込み選択ワード線に 1.7 V、書込み選択のビット線に 0 V、書込み非選択のビット線に 6 V が印加される。前記書き込み高電圧印可時間を多くするにしたがってメモリセルの閾値電圧が上昇される。ビット線に 0 V を印加するか、6 V を印加するかは、センスラッチ回路にラッチさせる書込み制御情報の論理値で決定される。

10 前記メモリセルに対する読み出し動作は、特に制限されないが、読み出し選択ワード線を 3.2 V とし、ソース線を回路の接地電圧に導通させ、ビット線にはセンスラッチ回路を介して 1.0 V を与え、メモリセルの閾値電圧に応じてビット線からソース線に流れる電流の有無によるビット線電位の変化に応じて記憶情報を読み出す。

15 前記 Y アドレスデコーダ 5 2 で選択されたビット線は、データ入出力制御回路 4 2 に導通される。データ入出力制御回路 4 2 と前記入出力端子 I/O [7:0] との接続は前記インタフェース制御部 2 8 により制御される。

20 第 1 9 図の前記内部電源回路 3 3 は、書込み、消去、ベリファイ、読み出し等のための各種動作電源を生成してメモリバンク BNK 1, BNK 2 に供給する。

前記コマンドデコーダ 4 0 及び CPU 4 1 は前記インタフェース制御部 2 8 から供給されるアクセスコマンド（単にコマンドとも称する）などに従って、前述のマルチチップを利用したマルチバンクに対する同時書き込み、マルチチップを利用したマルチバンクに対するインタリーブ書き込み等のメモリ動作を全体的に制御する。

25

前記コマンドは、特に制限されないが、単数若しくは複数のコマンドコードとコマンドの実行に必要なアドレス情報及びデータ情報等とを、所定のフォーマットに従って含んでいる。コマンドに含まれる書込みデータのようなデータ情報はデータ入出力制御回路42に供給される。コマンドに含まれるアドレス情報は前述の如くアドレスバッファ31及び必要な場合にはアドレスカウンタ32に供給される。前記メモリバンクBNK1, BNK2は夫々異なるメモリアドレスにマッピングされ、アドレスバッファ31に供給されるXアドレス信号は例えば2048ビット単位のセクタ領域の一つを指定するセクタアドレスとして位置付けられる。特に、前記Xアドレス信号の一部の情報、例えば最上位のアドレスビットAmはメモリ動作の対象メモリバンクを指示するメモリバンク指定情報と見なされ、コマンドデコーダ40に供給される。コマンドデコーダ40はそのメモリバンク指定情報で指定されたメモリバンクをメモリ動作の対象とするようにCPU41に指示する。アドレスカウンタ32に供給されるYアドレス信号はXアドレス信号で指定されるセクタアドレスの2048ビットのデータに対して8ビット単位の位置を指定する。メモリ動作の初期状態においてアドレスカウンタ32は初期値“0”にリセットされる。これにYアドレス信号が供給されると、その値がアドレスカウンタ32のプリセット値とされる。Yアドレスカウンタ32は、初期値又はプリセット値を開始アドレスとし、必要に応じて順次インクリメントしたYアドレス信号をメモリバンクBNK1, BNK2に出力する。

第19図のコマンドデコーダ40はコマンドに含まれるコマンドコードを解釈し、メモリバンク指定情報Amにより動作させるべきメモリバンクを判定し、解釈結果と判定結果をCPU41に与える。CPU41はそれに基づいて、動作させるべきメモリバンクBNK1, BNK2

にアクセス制御信号CNT 1、CNT 2を供給してメモリバンクBNK 1、BNK 2の動作を制御する。メモリ動作が消去又は書き込みのとき、高電圧印加は段階的に進められ、各段階でベリファイ動作が行なわれ、ベリファイ結果情報VFY 1、VFY 2がCPU 4 1に返される。CPU 4 1は、ベリファイ結果情報VFY 1、VFY 2が所要閾値電圧状態への未到達を意味しているときは、タイムアウトでなければ、アクセス制御信号CNT 1、CNT 2により次の段階の高電圧印加を指示する。タイムアウトになってもベリファイ結果情報VFY 1、VFY 2が所要閾値電圧状態への未到達を意味しているときは、CPU 4 1はフェール・パス (F a i l ・ P a s s) 情報FP 1、FP 2によりフェール状態をステータスレジスタ2 6、2 7に与える。コマンドデコーダ4 0はそのとき与えられているコマンドで指示されている動作に則した動作モード情報MD 1、MD 2をステータスレジスタ2 6、2 7に出力する。ステータスレジスタ2 6、2 7は、フェール・パス情報FP 1、FP 2によって通知されるフェール・パス要因を動作モード情報MD 1、MD 2で判定し、対応するレジスタビットにフェール又はパス状態を設定する。前記コマンドデコーダ4 0は前記ステータスレジスタ2 6、2 7が保持するステータス情報ST 1、ST 2を入力し、それを参照して、新たな入力コマンドの受付可否等を決定する。例えば、メモリバンクBNK 1が書き込みフェールのとき、当該メモリバンクを指定したアクセスコマンドの受付は書き込みリトライなどの所定コマンドに対してのみ可能にする。

前記ステータスレジスタ2 6、2 7はメモリバンク毎にメモリ動作の状態を示す情報を保有する。2個のステータスレジスタ2 6、2 7の保持内容は、前記アウトプットイネーブル信号/OEをアサートすることによって入出力端子I/O [7 : 0] から読み出すことができる。

第 2 4 図にはフラッシュメモリチップ C H P 1 のアクセスコマンドが例示される。アクセスコマンドはリード動作系コマンド A、消去動作系コマンド B、書込み動作系コマンド C、ステータスレジスタクリア系コマンド D に大別される。同図にはコマンド名、意味、そしてコマンドフォーマットの基本型が例示される。

第 1 シリアルリードコマンド (Serial Read(1)) はセクタのデータ領域に対する読み出しコマンドである。第 2 シリアルリードコマンド (Serial Read(2)) はセクタの管理領域に対する読み出しコマンドである。I D 読み出しコマンド (Read Identifier Codes) はフラッシュメモリチップの記憶容量や製造番号などのシリコンシグネチャーを読み出すコマンドである。第 1 データリカバリリードコマンド (Data Recovery Read(1)) は、1 個のメモリバンクに対する書き込み動作時に書き込みフェイルとなったメモリバンクが保有する書き込みデータを外部に出力させる動作を指示する。第 2 データリカバリリードコマンド (Data Recovery Read(2)) は、2 個のメモリバンクに対する書き込み動作時に書き込みフェイルとなった一方メモリバンク B N K 1 が保有する書き込みデータを外部に出力させる動作を指示する。第 3 データリカバリリードコマンド (Data Recovery Read(3)) は、2 個のメモリバンクに対する書き込み動作時に書き込みフェイルとなった他方メモリバンク B N K 2 が保有する書き込みデータを外部に出力させる動作を指示する。それらデータリカバリコマンドは、書き込みフェイルを生じたときフラッシュメモリ内部に保持されている書き込みデータを外部に出力してホスト装置が別のフラッシュメモリに書き込み可能にする為に利用される。

セクタ消去コマンド (Sector Erase) はセクタ単位の消去動作を指示する。

第 1 書込みコマンド (Program(1)) はセクタ消去シーケンス入りの書

込み動作を指示する。第 2 書込みコマンド (Program(2)) はセクタのデータ領域に対する書込み動作を指示する。第 3 書込みコマンド (Program(3)) はセクタの管理領域に対する書込みを指示する。第 4 書込みコマンド (Program(4)) は追加書込みを指示する。追加書込みとは、  
5 管理領域の一部の記憶領域等に対する書込み動作である。プログラムリトライコマンド (Program Retry) は書込みフェイルになったとき同一メモリバンクの別セクタに書込み動作をリトライする指示を与える。

上記各種アクセスコマンドの先頭には、16 進数表記で示される “00 H” のようなコマンドコードが配置される。ID 読み出しコマンド (Read Identifier Codes) 等の一部のコマンドはコマンドコードだけ  
10 から構成される。アドレス情報を必要とするアクセスコマンドは、コマンドコードの次に、セクタアドレス情報 SA 1, SA 2 が配置される。セクタアドレス情報 SA 1, SA 2 は全部で 16 ビットであり、16 ビットで一つのセクタアドレス (X アドレス情報) を構成する。読み出し  
15 や書込み動作において 1 セクタ中の一部を対象とする場合に、セクタの途中から読み出しや書込みを行いたい場合には、セクタアドレス情報の次に、Y アドレス情報を付加すればよい。書込み動作のように書込みデータを必要とする場合には、その次に書込みデータが続く。

セクタ消去コマンドにおいてコマンドコード “B 0 H” は消去動作の  
20 開始を指示する。1 個のメモリバンクに対するセクタ消去を指示するコマンドは、消去対象セクタアドレス SA 1, SA 2 の後にコマンドコード “B 0 H” を付加すればよい。2 個のメモリバンクに対して並列にセクタ消去を指示するには、第 1 のセクタアドレス情報 SA 1, SA 2 に  
25 続けて第 2 のセクタアドレス情報 SA 1 ※ 1, SA 2 ※ 1 を配置し、最後にコマンドコード “B 0 H” を付加すればよい。第 2 のセクタアドレス情報 SA 1 ※ 1, SA 2 ※ 1 が指定するメモリバンクは第 1 のセクタ

アドレス情報 S A 1 , S A 2 が指定するメモリバンクとは相異することが必要である。第 1 のセクタアドレス情報 S A 1 , S A 2 と第 2 のセクタアドレス情報 S A 1 ※ 1 , S A 2 ※ 1 との間に区切りコードを必要としない。セクタ消去では Y アドレス情報やデータ情報を必要としないからである。

第 1 乃至第 4 書込みアクセスコマンド及びプログラムリトライコマンドにおいてコマンドコード “ 4 0 H ” は書込み動作の開始を指示するコマンドコードである。2 個のメモリバンクに対して並列に書込みを行なう場合には、双方のメモリバンク B N K 1 , B N K 2 に対するアドレスや書込みデータなどの指示情報の間に区切りコードとしてコマンドコード “ 4 1 H ” を介在させる。書込み動作では Y アドレス ( アドレスカウンタへのプリセットアドレス ) の指定は任意であるから、区切りコードが必要になる。この区切りコード “ 4 1 H ” は並列書込み動作を指示するコマンドコードとして位置付けてよい。書込み動作では第 2 のセクタアドレス情報 S A 1 ※ 2 , S A 2 ※ 2 が指定するメモリバンクは第 1 のセクタアドレス情報 S A 1 , S A 2 が指定するメモリバンクとは相異することが必要である。この 2 バンク並列書込みコマンドは、インタリーブ動作の対象にはならない。プログラムリトライコマンドではセクタアドレス S A 1 ※ 3 , S A 2 ※ 3 は書き込みフェイルしたバンクを選択することが必要である。それら制約事項の充足状態はコマンドデコーダ 4 0 が判定する。

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、不揮発性メモリチップはフラッシュメモリセルに限定されず、M N O S 、高誘電体メモリセル等であってもよい。またメモリセルの記



憶情報は1個のメモリセルに対して2値に限定されず4値などの多値であってもよい。多値記憶が可能なメモリセルの場合、しきい値電圧の違いにより多値記憶を行い、又は記憶ゲートに局所的に電荷を蓄積することで多値記憶を行うものであっても良い。また、フラッシュメモリにおいてメモリセルアレイの構成はAND型に限定されず、NOR型、NAND型など適宜変更可能である。また、消去及び書込みに対する閾値電圧的な定義は本明細書とは逆に定義することも可能である。

また、コマンドの種類、セクタアドレスの指定方法、書込みデータの入力方法などは上記とは異なってもよい。例えば、データ、アドレス。コマンドの入力端子を専用にしなくてもよい。メモリバンクの数は2個に限定されず、それ以上の数を備えてもよい。

メモリカードの形式はマルチメディアカードに限定されず、その他の規格に従ったメモリカードにも適用可能であることは言うまでもない。例えば、データを入出力する端子が複数存在し、データの入出力がパラレルに行えるようなメモリカードである。メモリシステムはメモリカードに限定されず、マイクロプロセッサやメモリなどを回路基板上に搭載して構成されるデータ処理システムの一部として、フラッシュメモリチップ及びコントロールチップを搭載して構成してもよい。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、複数の不揮発性メモリチップの複数のメモリバンクに対する同時書き込み動作又はインタリーブ書き込み動作を選択可能であるから、同時書き込み動作では書き込みセットアップ時間に対して格段に長い書き込み動作を完全並列化でき、インタリーブ書き込み動作では書き込みセットアップに続く書き込み動作を他のメモリバンクの書き込み動作に部分的に重ねて並列化でき、結果として、書き込み処理の高速

- なメモリシステムを構成するのに不揮発性メモリチップの数を比較的少なくすることができる。要するに、メモリカードの大型化若しくはコスト上昇を招くほどフラッシュメモリチップを多く搭載することなく書き込み速度を高速化することができるメモリシステム、更にはメモリ
- 5      カードを提供することができる。

#### 産業上の利用可能性

- 本発明はマルチメディアカードなどの定形のメモリカード、フラッシュメモリ及びマイクロプロセッサを実装したプロセッサボード等に広
- 10      く適用することができる。

## 請 求 の 範 囲

1. 夫々独立にメモリ動作可能な複数のメモリバンクを有する複数の不揮発性メモリチップと、前記不揮発性メモリチップに対して個別にアクセス制御可能なメモリコントローラとを含むメモリシステムであって、

前記メモリコントローラは前記不揮発性メモリチップの複数のメモリバンクに対する同時書き込み動作又はインタリーブ書き込み動作を選択的に指示することが可能であることを特徴とするメモリシステム。

2. 前記同時書き込み動作は、メモリバンクを指定した書き込み動作の直列的な複数の指示の後に当該複数のメモリバンクに対して同じタイミングで開始される書き込み動作であり、

前記インタリーブ書き込み動作は、既に開始された書き込み動作中に他のメモリバンクを指定した書き込み指示に応答して新たな書き込み動作を開始していく書き込み動作である、ことを特徴とする請求項1記載のメモリシステム。

3. 前記メモリコントローラは、書き込みアドレス情報及び書き込みデータ情報に付随して書き込み動作を指示するコマンドコードの種類によって、前記同時書き込み動作の指示とインタリーブ書き込み動作の指示を区別することを特徴とする請求項2記載のメモリシステム。

4. 前記夫々の不揮発性メモリチップはチップ選択端子及びその他複数のアクセス端子を有し、

前記メモリコントローラは夫々の不揮発性メモリチップの前記チップ選択端子に個別接続されるチップ選択信号出力端子と、夫々の不揮発性メモリチップの前記アクセス端子に共通接続される複数のアク

セス情報端子とを有することを特徴とする請求項 1 記載のメモリシステム。

- 5 5. 夫々独立にメモリ動作可能な複数のメモリバンクを有する複数の不揮発性メモリチップと、前記複数の不揮発性メモリチップに対して個別にアクセス制御可能なメモリコントローラとを含むメモリシステムであって、

前記メモリコントローラは前記不揮発性メモリチップ毎に順次、不揮発性メモリチップ内のメモリバンクに対するインタリーブ書き込みを指示することが可能であることを特徴とするメモリシステム。

- 10 6. 前記インタリーブ書き込み指示は、既に開始させた書き込み動作中に他のメモリバンクを指定した書き込み指示に応答して新たな書き込み動作を開始させる書き込み動作指示であることを特徴とする請求項 5 記載のメモリシステム。

- 15 7. 夫々独立にメモリ動作可能な複数のメモリバンクを有する複数の不揮発性メモリチップと、前記不揮発性メモリチップに対して個別にアクセス制御可能なメモリコントローラとを含むメモリシステムであって、

- 20 前記メモリコントローラは前記不揮発性メモリチップ毎に順次、不揮発性メモリチップ内のメモリバンク間に対して同時書き込みを指示することが可能であることを特徴とするメモリシステム。

8. 前記同時書き込み指示は、メモリバンクを指定した書き込み動作の直列的な複数の指示の後に複数のメモリバンクに対して同じタイミングで書き込み動作を開始させる書き込み動作指示であることを特徴とする請求項 7 記載のメモリシステム。

- 25 9. 夫々独立にメモリ動作可能な複数のメモリバンクを有する複数のフラッシュメモリチップと前記複数のフラッシュメモリチップに対し

て個別にアクセス制御可能なメモリコントローラと、前記メモリコントローラに接続されるSRAMとを含むメモリシステムであって、

前記SRAMはフラッシュメモリチップに対する書き込みデータを一時的に格納可能であり、

- 5           前記メモリコントローラは、前記フラッシュメモリチップ毎に順次、フラッシュメモリチップ内のメモリバンクに対してインタリーブ書き込みを指示することと、前記フラッシュメモリチップ毎に順次、フラッシュメモリチップ内のメモリバンク間に対して同時書き込みを指示することを、選択可能であることを特徴とするメモリシステム。

- 10       10. 前記インタリーブ書き込み指示は、既に開始させた書き込み動作中に他のメモリバンクを指定した書き込み指示に応答して新たな書き込み動作を開始させる書き込み動作指示であり、

- 前記同時書き込み指示は、メモリバンクを指定した書き込み動作の直列的な複数の指示の後に複数のメモリバンクに対して同じタイミングで書き込み動作を開始させる書き込み動作指示であることを特徴とする請求項9記載のメモリシステム。

- 15       11. 夫々独立にメモリ動作可能な複数のメモリバンクを有する複数のフラッシュメモリチップと、前記フラッシュメモリチップをアクセスコマンドを用いてアクセス制御するメモリコントローラとを含むメモリシステムであって、

- 20           前記メモリコントローラは、第1コマンドコード、第1コマンドコードに後続させたメモリバンクのアドレス情報、及びメモリバンクのアドレス情報に後続する第2コマンドコードを出力して、前記アドレス情報で指定されるメモリバンクに対し、第2コマンドコードの入力毎にメモリ動作を開始させ、

25           また、第1コマンドコード、第1コマンドコードに後続させたメモリ

バンクのアドレス情報、メモリバンクのアドレス情報に後続させた第  
3 コマンドコード、第 3 コマンドコードに後続させたメモリバンクの  
アドレスアドレス情報、及びメモリバンクのアドレス情報に後続させ  
た第 2 コマンドコードを出力して、前記第 1 コマンドコードから第 2  
5 コマンドコードの間で前記第 3 コマンドで区切られた複数のアドレ  
ス情報で指定される複数のメモリバンクに対し、第 2 コマンドコード  
の入力に応答して同時にメモリ動作を開始させることを特徴とする  
メモリシステム。

1 2 . 前記第 1 コマンドコードは書き込み動作の種類を与えるコマンド  
10 コードであり、第 2 コマンドコードは書き込み動作の開始を指示する  
コマンドコードであり、第 3 コマンドコードはアドレス情報が後続す  
ることを示すコマンドコードであることを特徴とする請求項 1 1 記  
載のメモリシステム。

1 3 . カード基板に、外部接続端子と、前記外部接続端子に接続された  
15 外部インタフェース回路と、前記外部インタフェース回路に接続され  
たメモリコントローラと、前記メモリコントローラにより個別にアク  
セス制御を受ける複数のフラッシュメモリチップとを有するメモリ  
カードであって、

前記フラッシュメモリチップは、夫々独立にメモリ動作可能な複数の  
20 のメモリバンクを有し、

前記メモリコントローラは前記フラッシュメモリチップの複数の  
メモリバンクに対する同時書き込み動作又はインタリーブ書き込み  
動作を選択的に指示することが可能であることを特徴とするメモリ  
カード。

25 1 4 . 前記同時書き込み動作は、メモリバンクを指定した書き込み動作  
の直列的な複数の指示の後に複数のメモリバンクに対して同じタイ

ミングで開始される書き込み動作であり、

前記インタリーブ書き込み動作は、既に開始された書き込み動作中に他のメモリバンクを指定した書き込み指示に応答して新たな書き込み動作を開始していく書き込み動作である、ことを特徴とする請求項 1 3 記載のメモリカード。

1 5 . 前記メモリコントローラは、書き込みアドレス情報及び書き込みデータ情報に付随して書き込み動作を指示するコマンドコードの種類によって、前記同時書き込み動作の指示とインタリーブ書き込み動作の指示を区別することを特徴とする請求項 1 4 記載のメモリカード。

1 6 . 前記メモリコントローラに接続される S R A M を更に含み、前記 S R A M はフラッシュメモリチップに対する書込みデータを一時的に格納可能であることを特徴とする請求項 1 5 記載のメモリカード。

1 7 . 前記外部接続端子は 1 ビットのデータ入出力端子、1 ビットのコマンド端子、電源電圧端子、回路の接地電圧端子、及びクロック端子を含むことを特徴とする請求項 1 3 記載のメモリカード。

1 8 . メモリコントローラと 1 以上の不揮発性メモリとを有し、

前記メモリコントローラは前記 1 以上の不揮発性メモリに対して、情報が書き込まれるべきアドレスを示すアドレス情報を含む書込指示コマンドを発行し、

前記不揮発性メモリのうち、第 1 の不揮発性メモリはアドレスにより分離される複数の記憶領域を有し、それぞれの記憶領域は他の記憶領域と並行してメモリアクセス動作が可能とされ、

前記メモリコントローラは前記第 1 の不揮発性メモリの第 1 の記憶領域に含まれるアドレスへの情報の書込を指示する第 1 の書込指示コマンドを発行した後、前記第 1 の記憶領域での書込動作が完了す

る前に、前記第 1 の不揮発性メモリの第 2 の記憶領域に含まれるアドレスへの情報の書込を指示する第 2 の書込指示コマンドを発行可能である不揮発性半導体記憶装置。

1 9. 前記不揮発性メモリは複数のメモリ素子を有し、

5       前記不揮発性メモリの書込動作は、前記書込指示コマンドにより指示されるアドレスに応じて一群のメモリ素子を選択し、選択されたそれぞれのメモリ素子に書き込まれるべき情報に応じたしきい値電圧に変化させるものであることを特徴とする請求項 1 8 の不揮発性半導体記憶装置。

10      2 0. 前記不揮発性メモリの書込動作は、メモリセルのしきい値電圧を変化させるための第 1 の動作と、それぞれのメモリセルのしきい値電圧が前記書き込まれるべき情報に対応したしきい値電圧に変化したか否かを確認するための第 2 の動作とを含み、

15       前記第 2 の動作の後、少なくとも 1 のメモリセルのしきい値電圧が書き込まれるべき情報に対応したしきい値電圧に変化していない場合、前記第 1 の動作を行うことを特徴とする請求項 1 8 の不揮発性半導体記憶装置。

20      2 1. 前記複数のメモリ素子は、3 以上のしきい値電圧分布のうち、書き込まれるべき情報に対応したしきい値電圧分布に含まれるしきい値電圧とされることを特徴とする請求項 2 0 の不揮発性半導体記憶装置。

25       2 2. データの入出力に用いられる第 1 端子と、動作指示コマンドの入力に用いられる第 2 端子と、データの入出力及び動作指示コマンドの入力のタイミングを指示するクロックの入力に用いられる第 3 端子を有し、

第 2 端子から入力された動作指示コマンドに応じた動作を制御す



る制御部と、前記制御部の制御に基づきデータの格納又は読み出しを行う 1 以上の不揮発性メモリとを有し、

前記不揮発性メモリはアドレスに対応した複数のメモリ素子を有し、前記複数のメモリ素子は複数のグループに分類され、第 1 グループのデータ格納動作中に他のグループにおいてデータの格納動作を開始することが可能とされる不揮発性記憶装置。

23. 前記制御部は、前記第 1 端子から入力されたデータを所定バイト毎に分割し、第 1 データを第 1 の不揮発性メモリの前記第 1 グループに格納指示し、第 2 データを前記第 1 の不揮発性メモリの第 2 グループに格納指示することを特徴とする請求項 22 の不揮発性記憶装置。

24. 前記制御部は、前記不揮発性メモリへの格納動作を指示する格納指示コマンドを発行し、

前記格納指示コマンドは、該コマンドが格納指示コマンドであることを示す第 1 コマンドと、データを格納すべきメモリ素子を指示するアドレス情報と、格納すべきデータと、格納動作開始を指示する第 2 コマンドから構成されることを特徴とする請求項 23 の不揮発性記憶装置。

25. 前記制御部は、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 アドレスと、前記第 1 データと、前記第 2 コマンドとを発行した後、

前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 2 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行することを特徴とする請求項 24 の不揮発性記憶装置。

26. 前記制御部は、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 アドレスと、前記第

1 データとを発行した後、

前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 2 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行することを特徴とする請求項 2 4 の不揮発性記憶装置。

2 7. 前記制御部は、前記第 1 端子から入力されたデータを所定バイト毎に分割し、第 1 データを第 1 の不揮発性メモリの前記第 1 グループに格納指示し、第 2 データを第 2 の不揮発性メモリの第 1 グループに格納指示することを特徴とする請求項 2 2 の不揮発性記憶装置。

2 8. 前記制御部は、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 アドレスと、前記第 1 データと、前記第 2 コマンドとを発行した後、

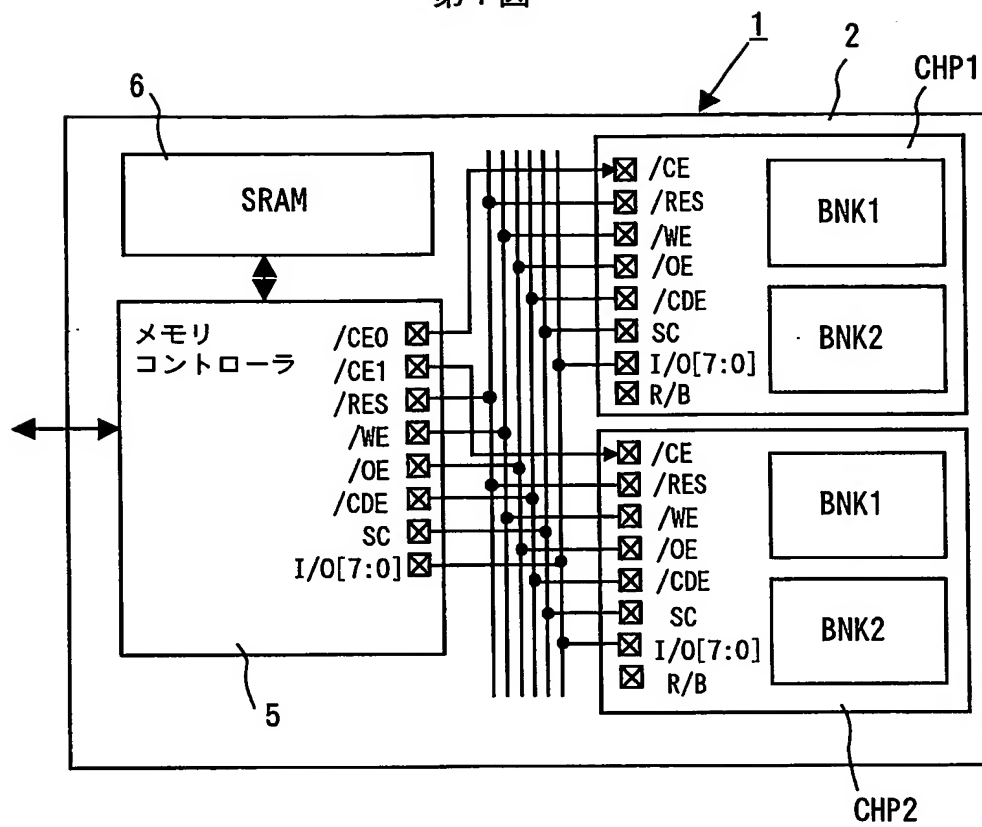
前記第 1 コマンドと、前記第 2 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行することを特徴とする請求項 2 7 の不揮発性記憶装置。

2 9. 前記制御部は、前記第 1 コマンドと、前記第 1 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 1 アドレスと、前記第 1 データとを発行した後、

前記第 1 コマンドと、前記第 2 の不揮発性メモリの前記第 1 グループのメモリ素子を指示する第 2 アドレスと、前記第 2 データと、前記第 2 コマンドとを発行することを特徴とする請求項 2 7 の不揮発性記憶装置。

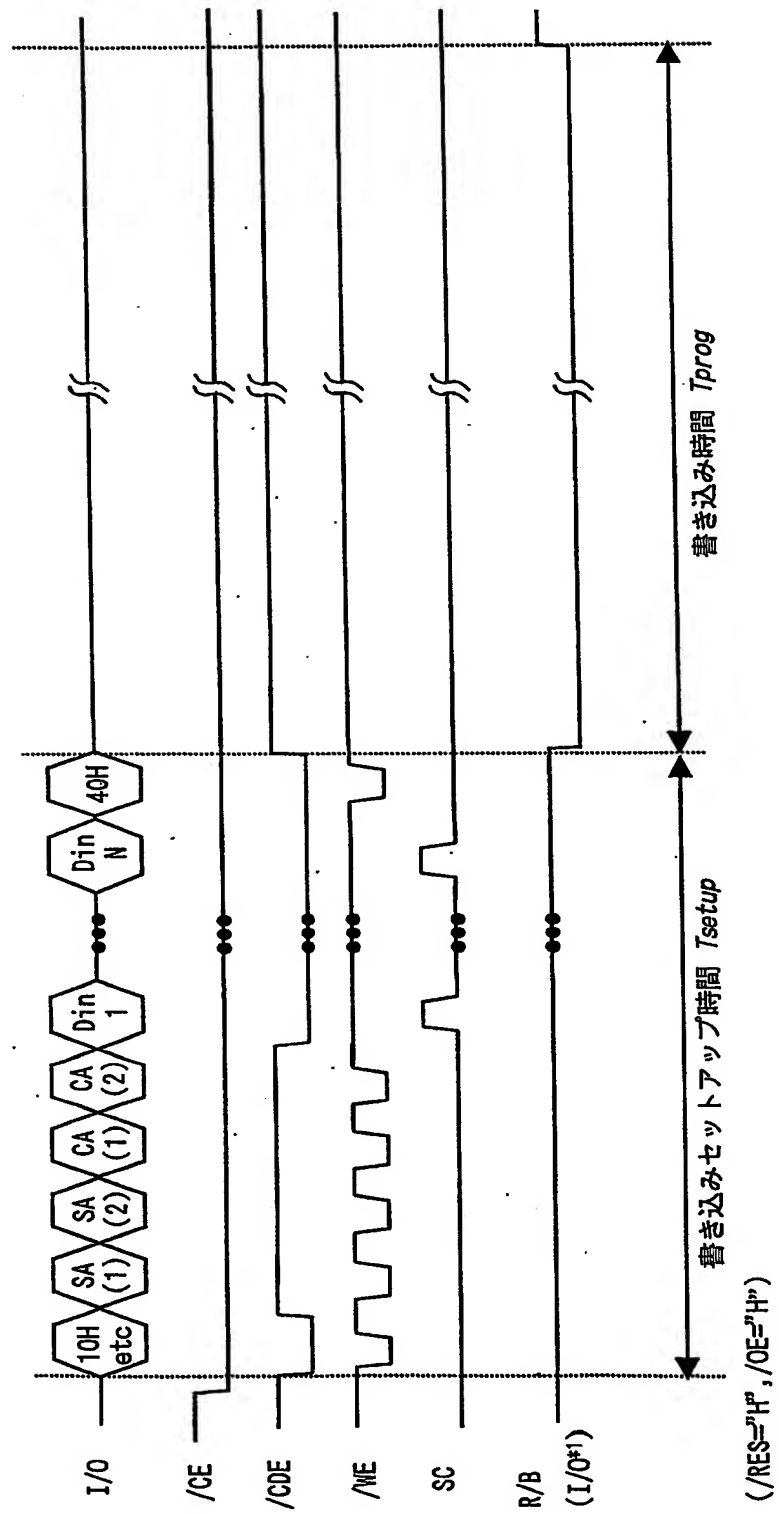
1 / 2 2

第1図



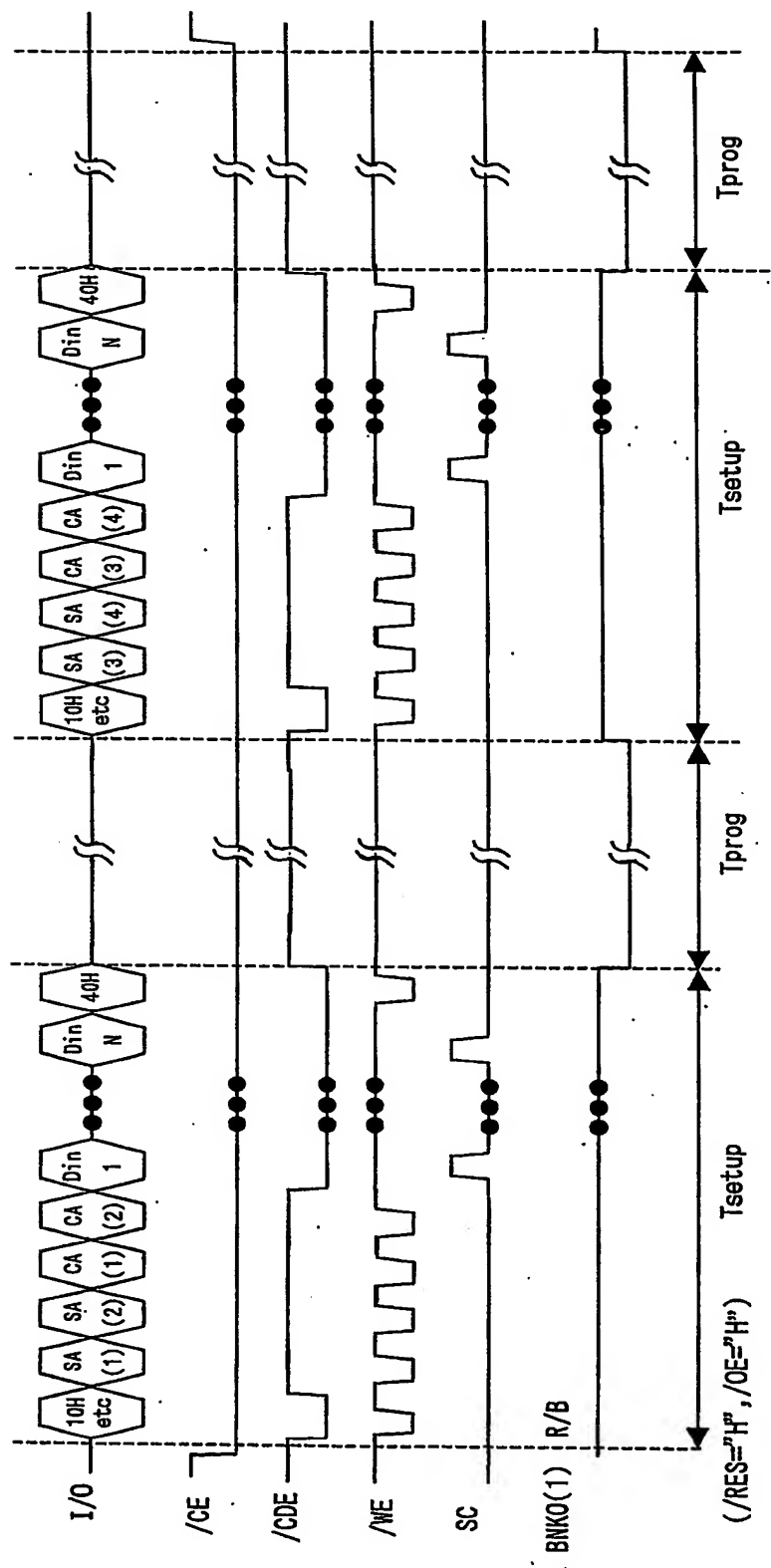
2 / 2 2

第2図



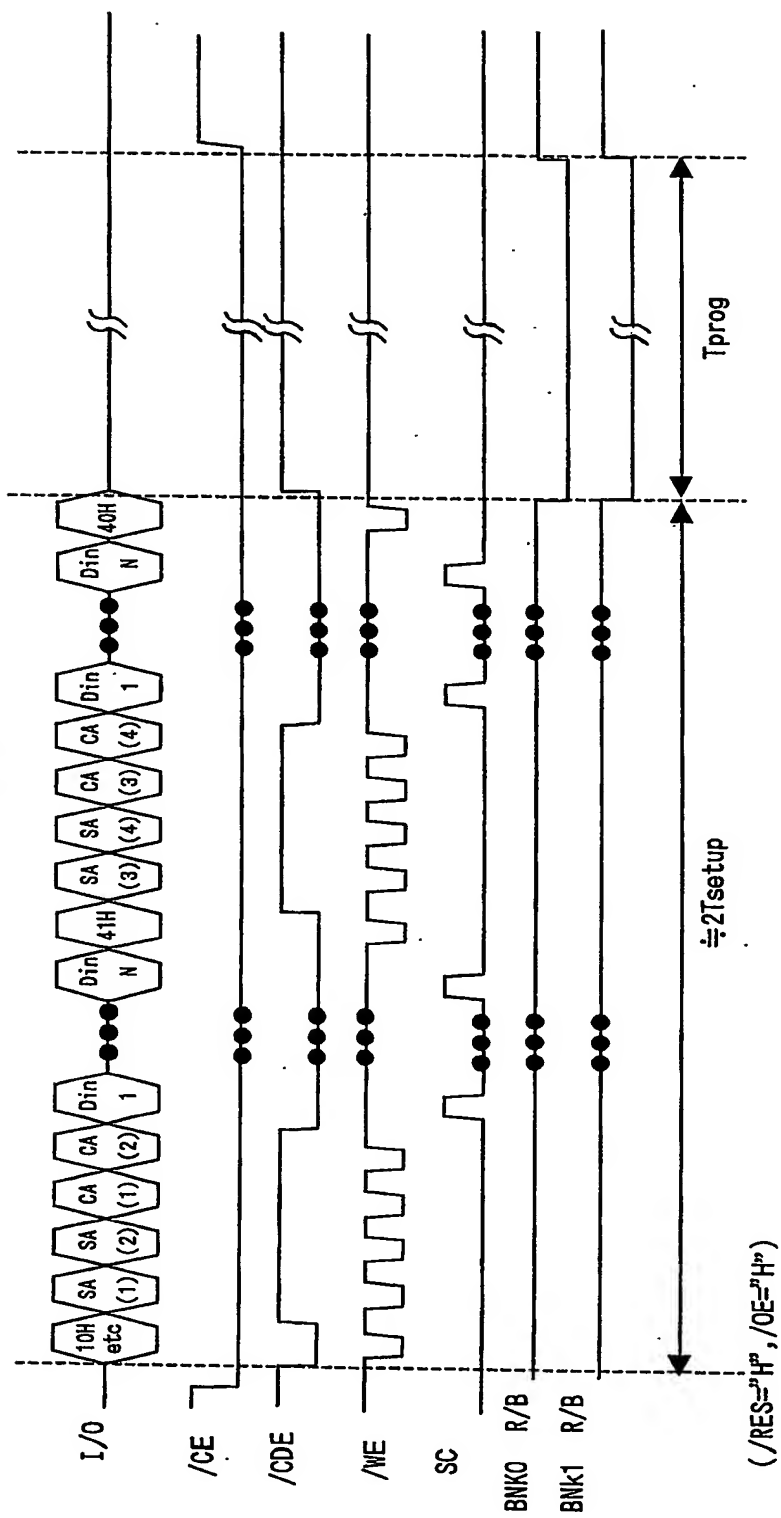
3 / 2 2

圖 3 振



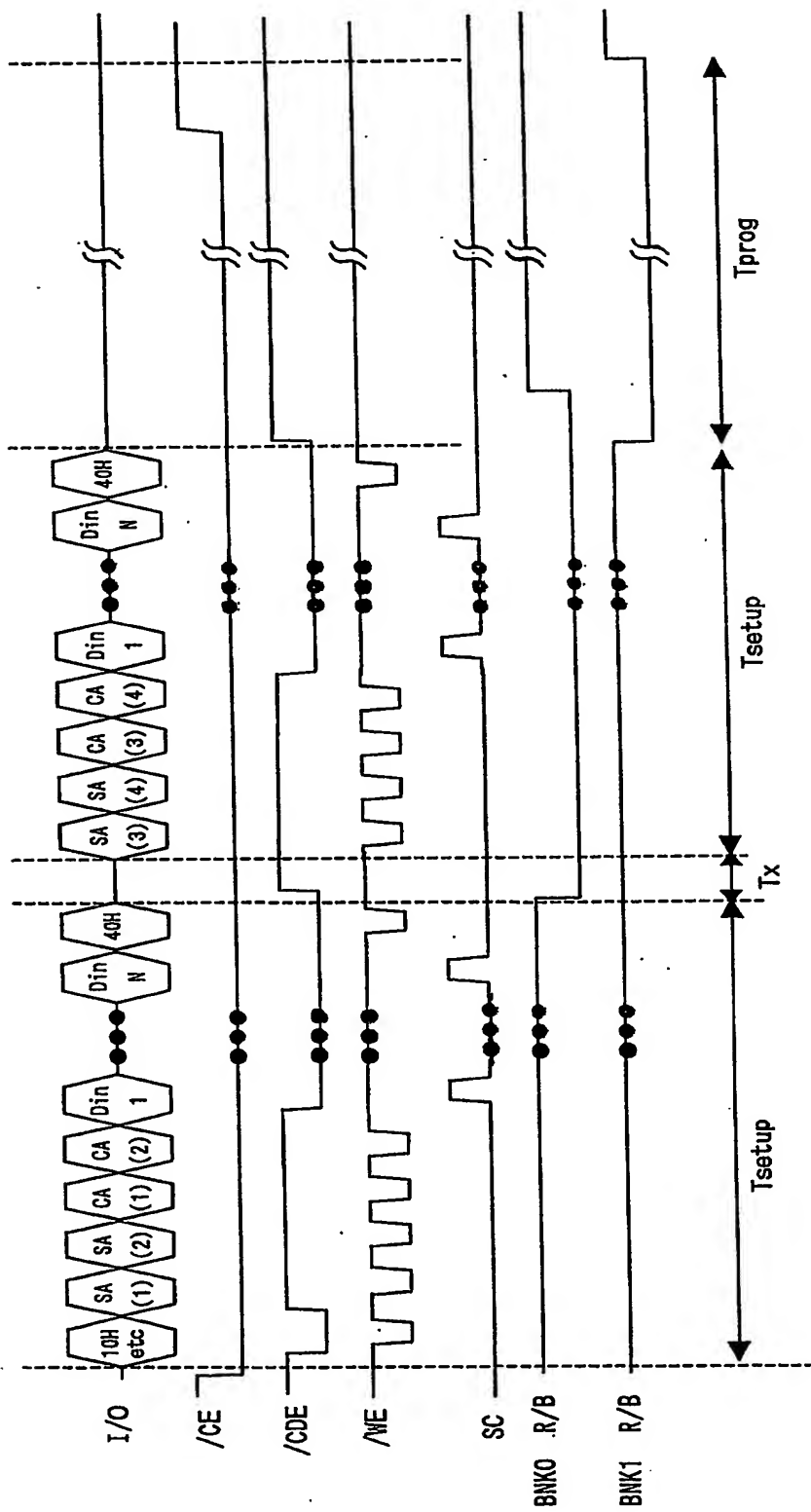
4 / 2 2

第4図



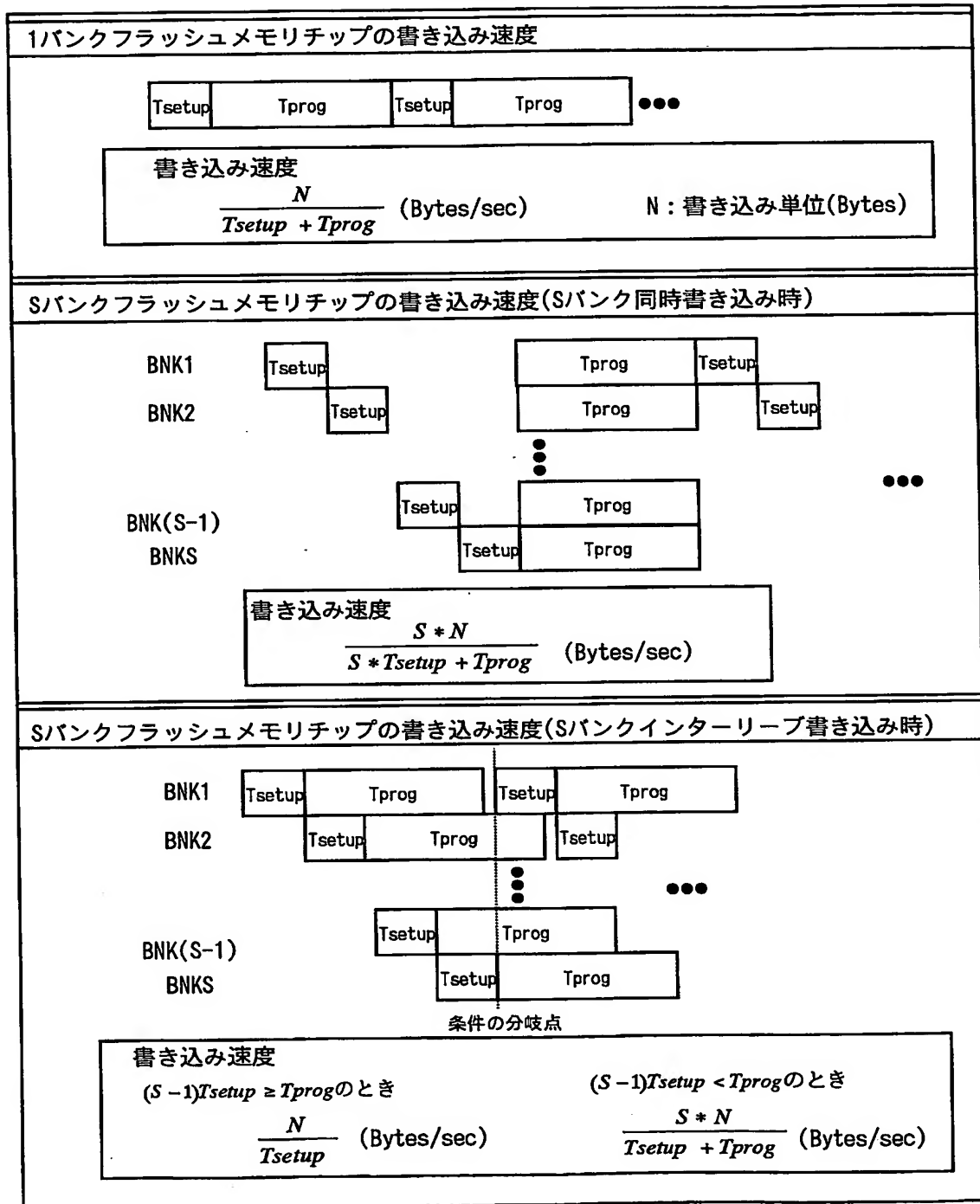
5 / 2 2

第5図



6 / 22

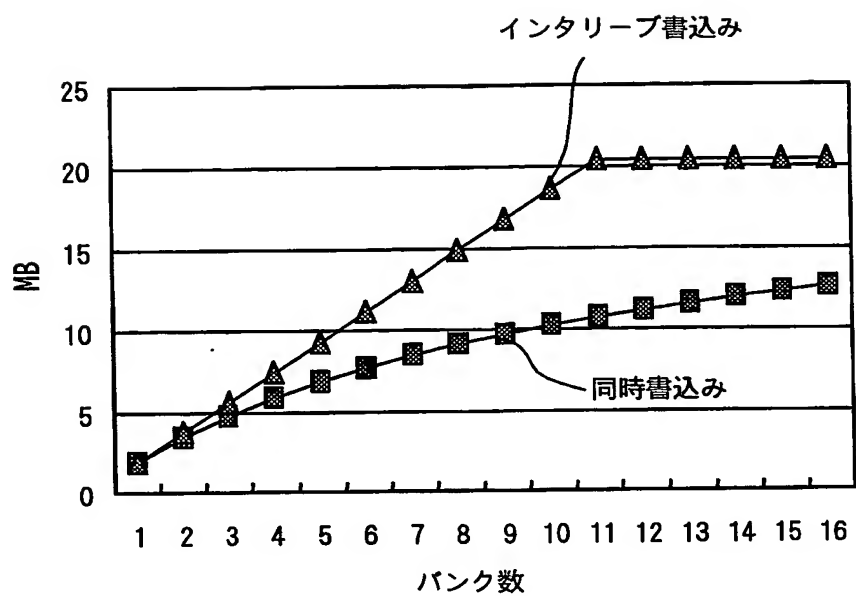
第6図





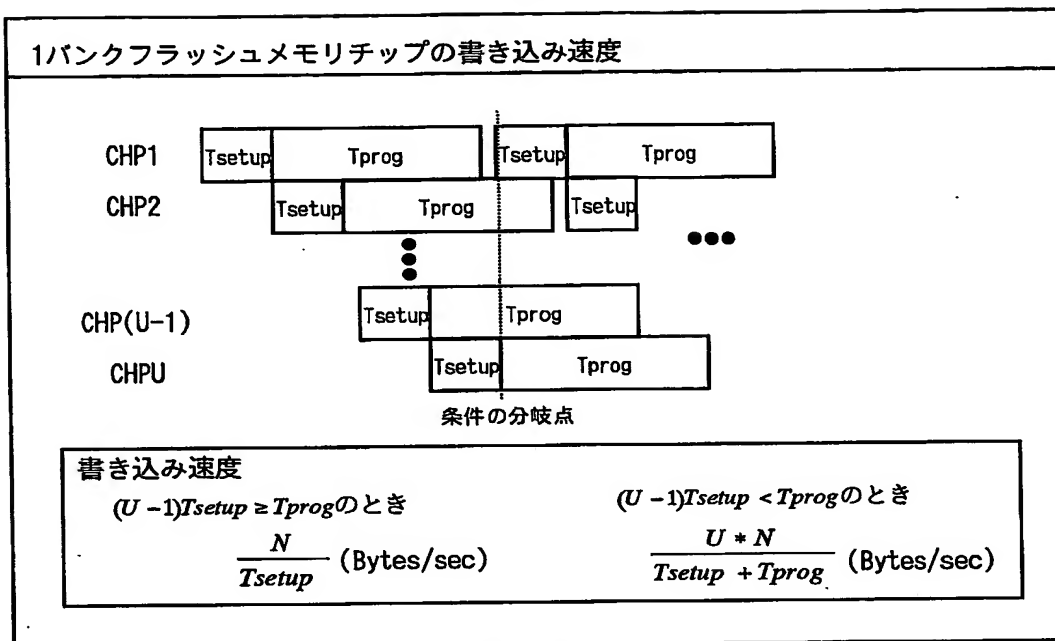
7/22

第7図

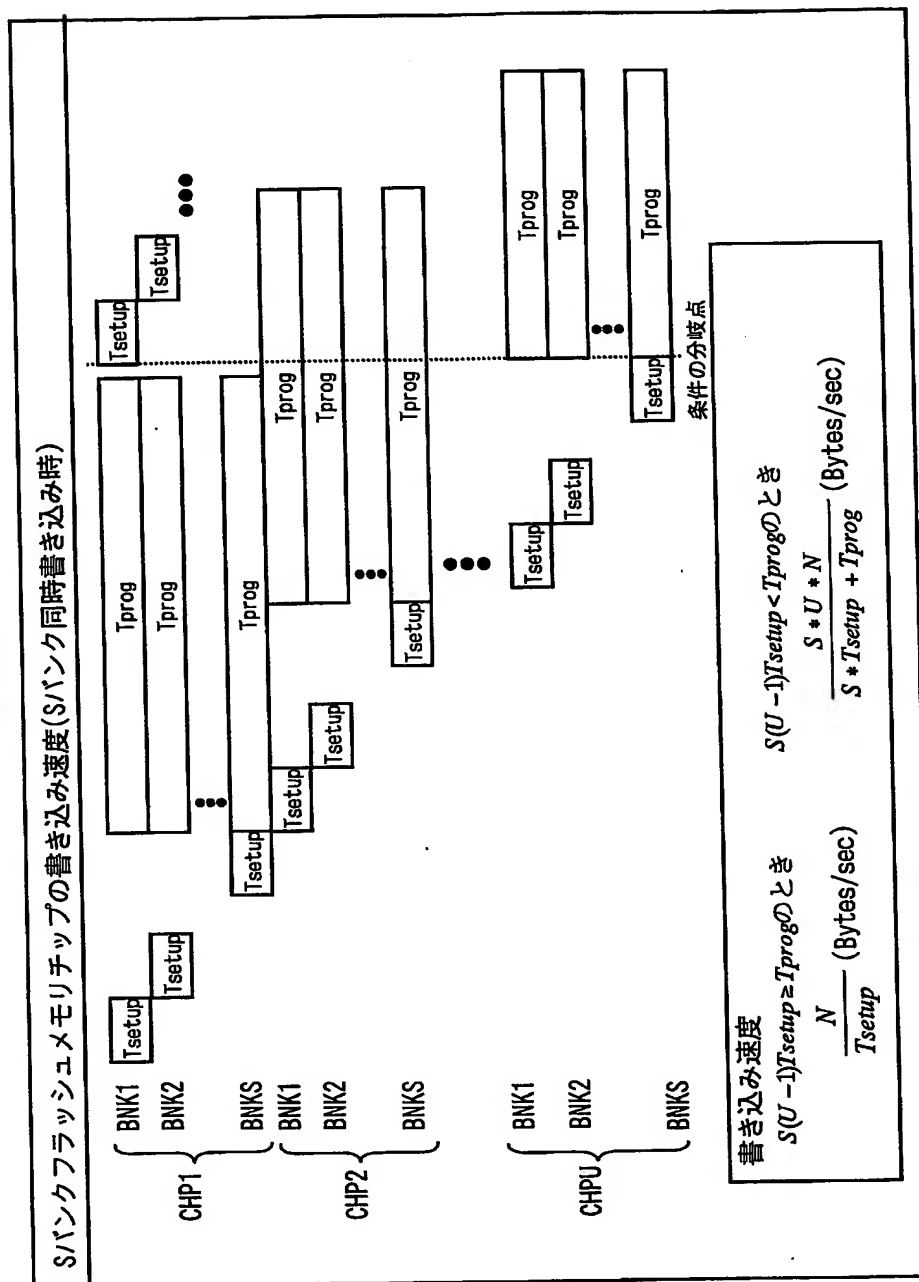


8 / 2 2

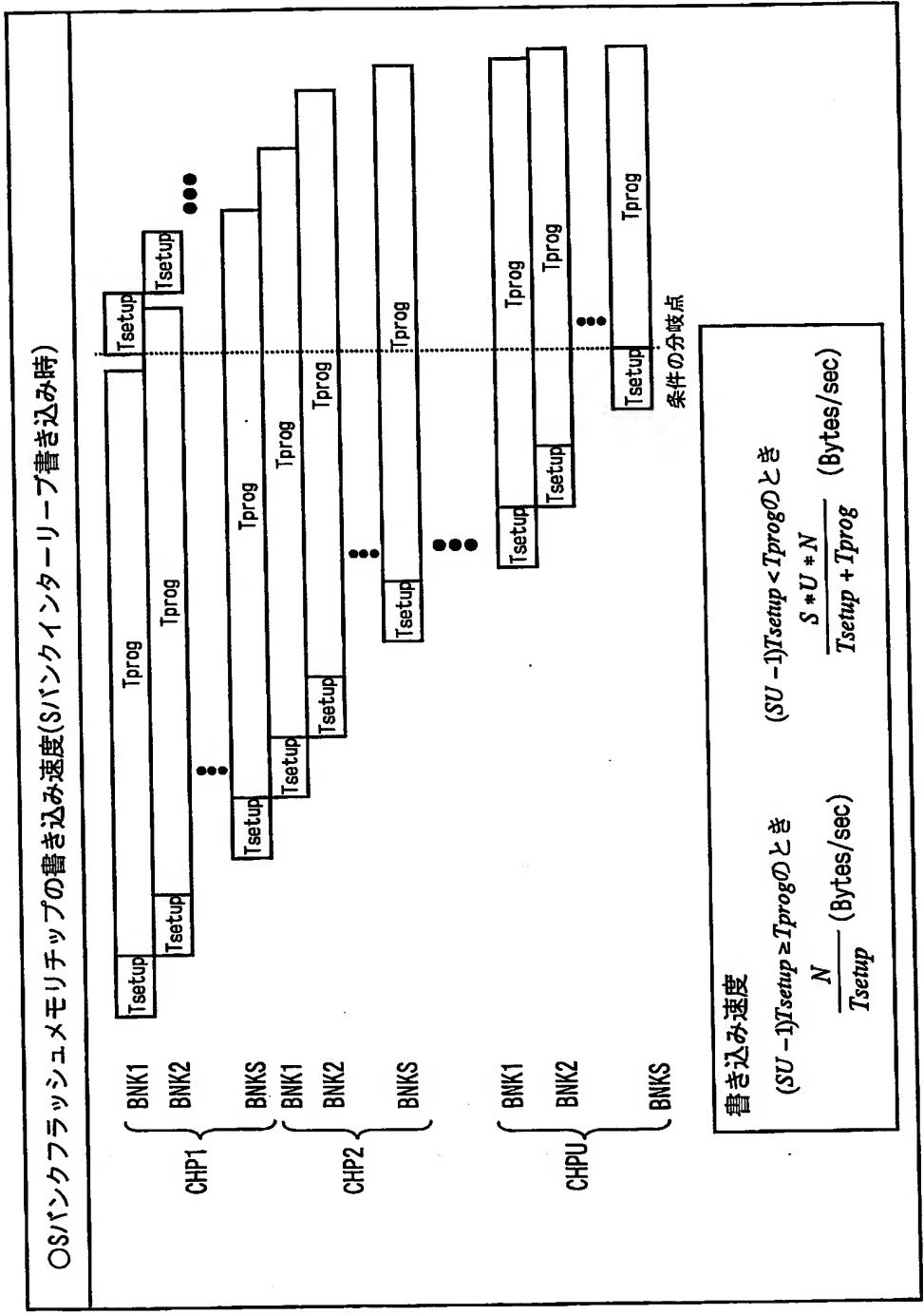
第 8 図



第9図

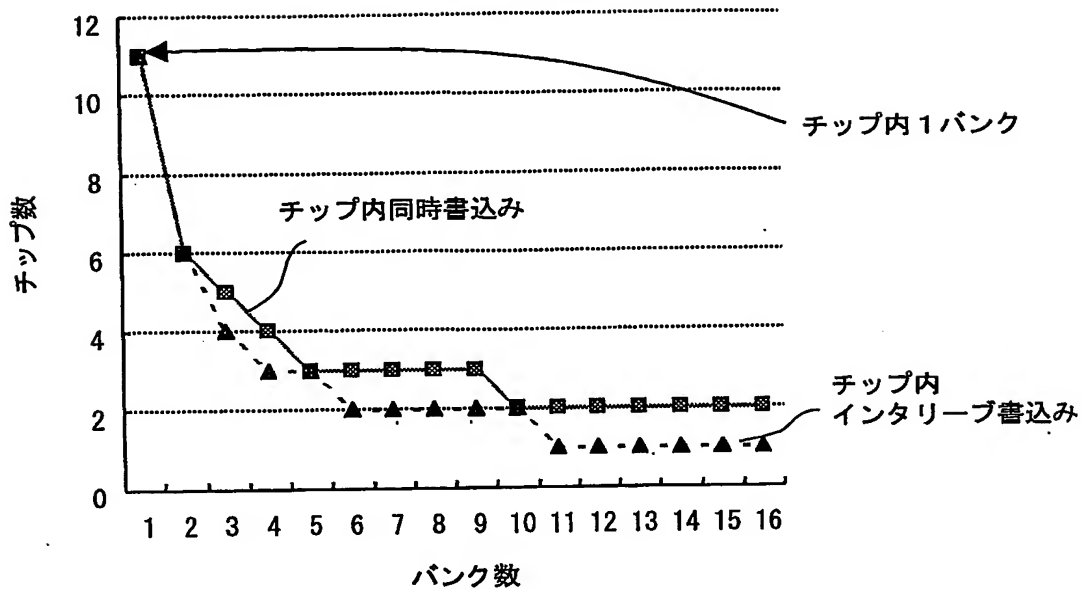


第10図

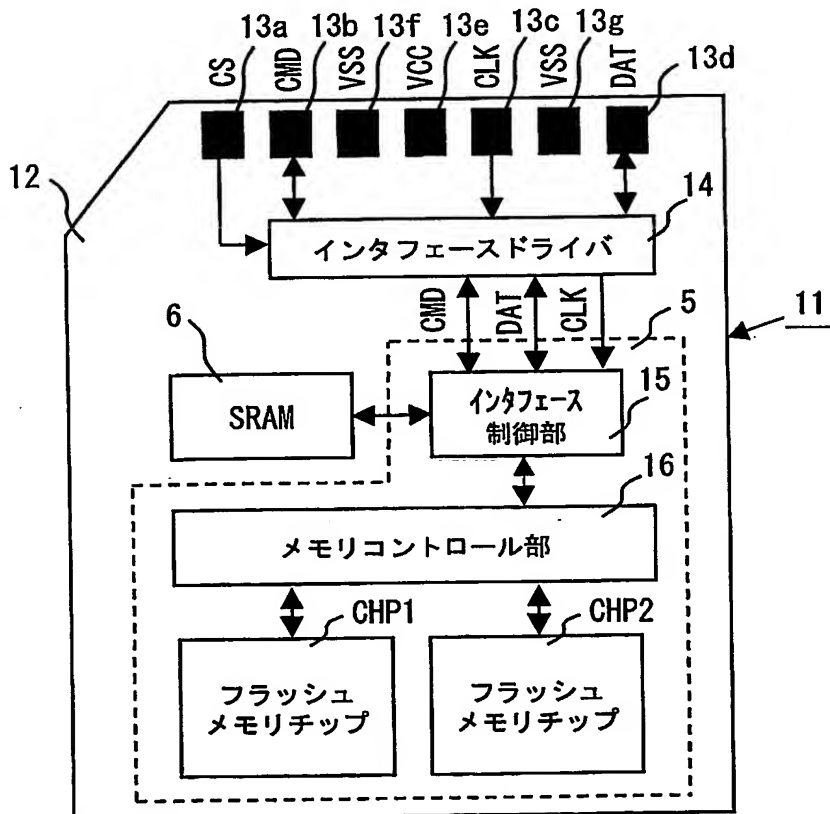


11 / 22

第11図

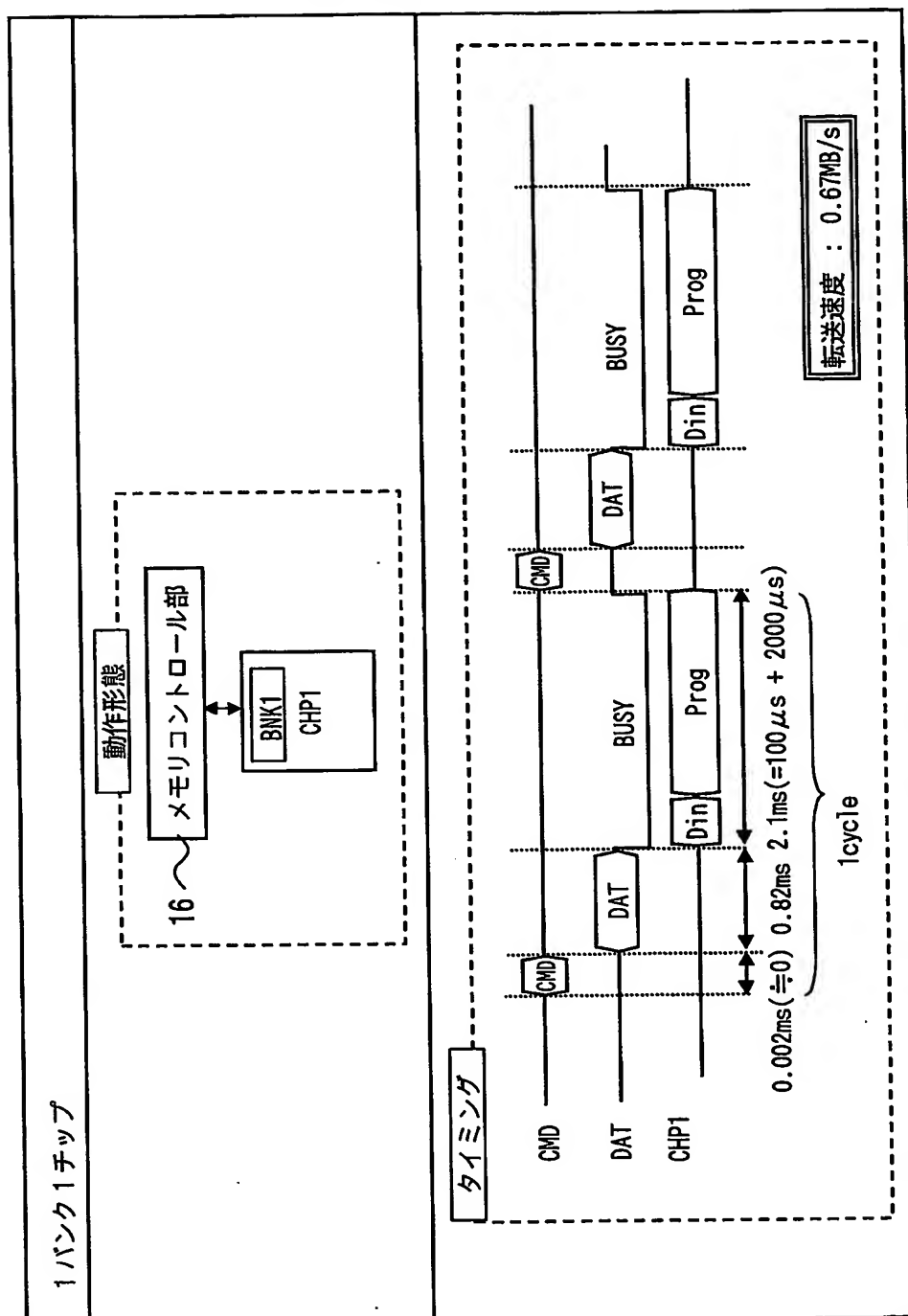


第12図



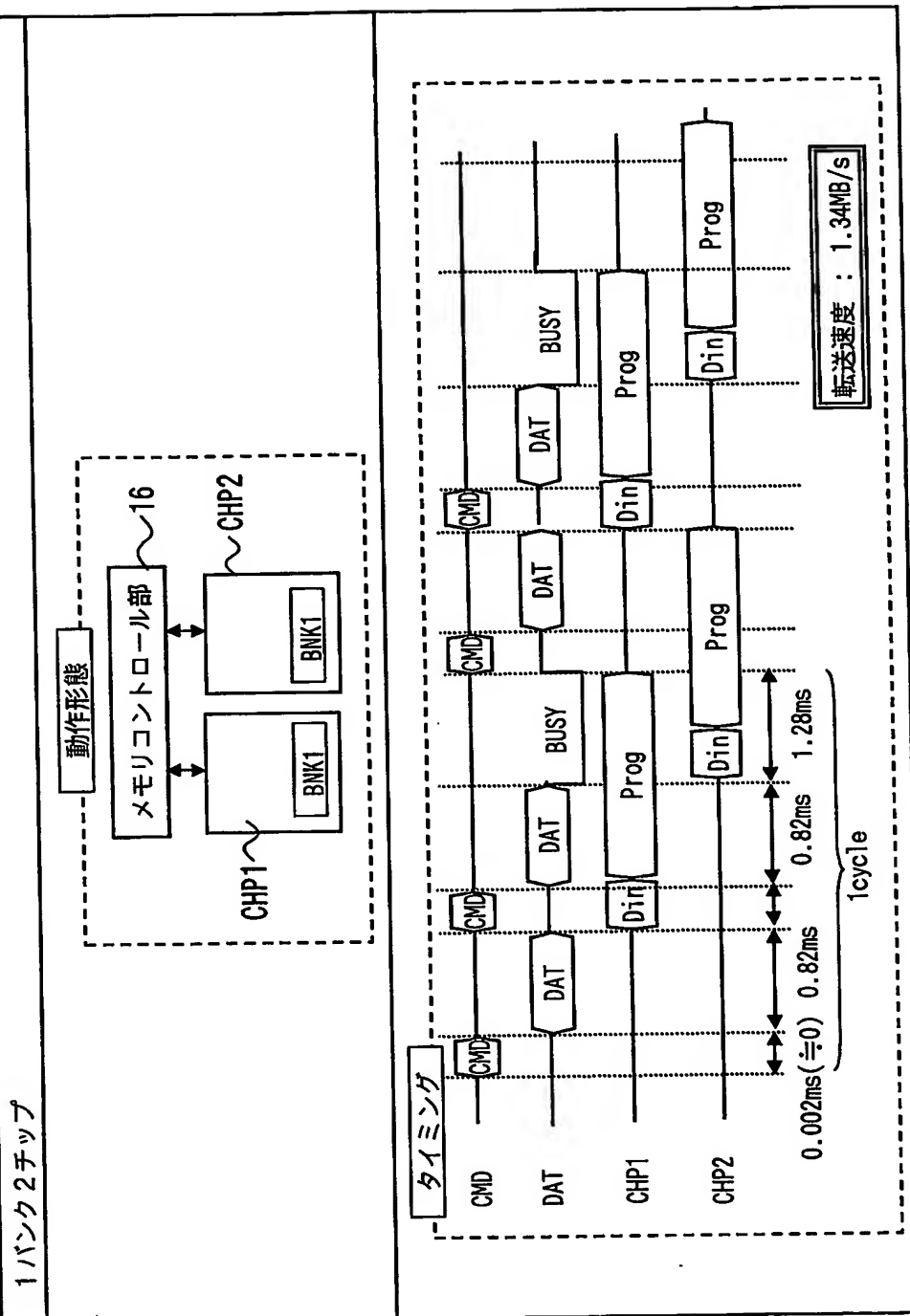
1 2 / 2 2

第 1 3 図



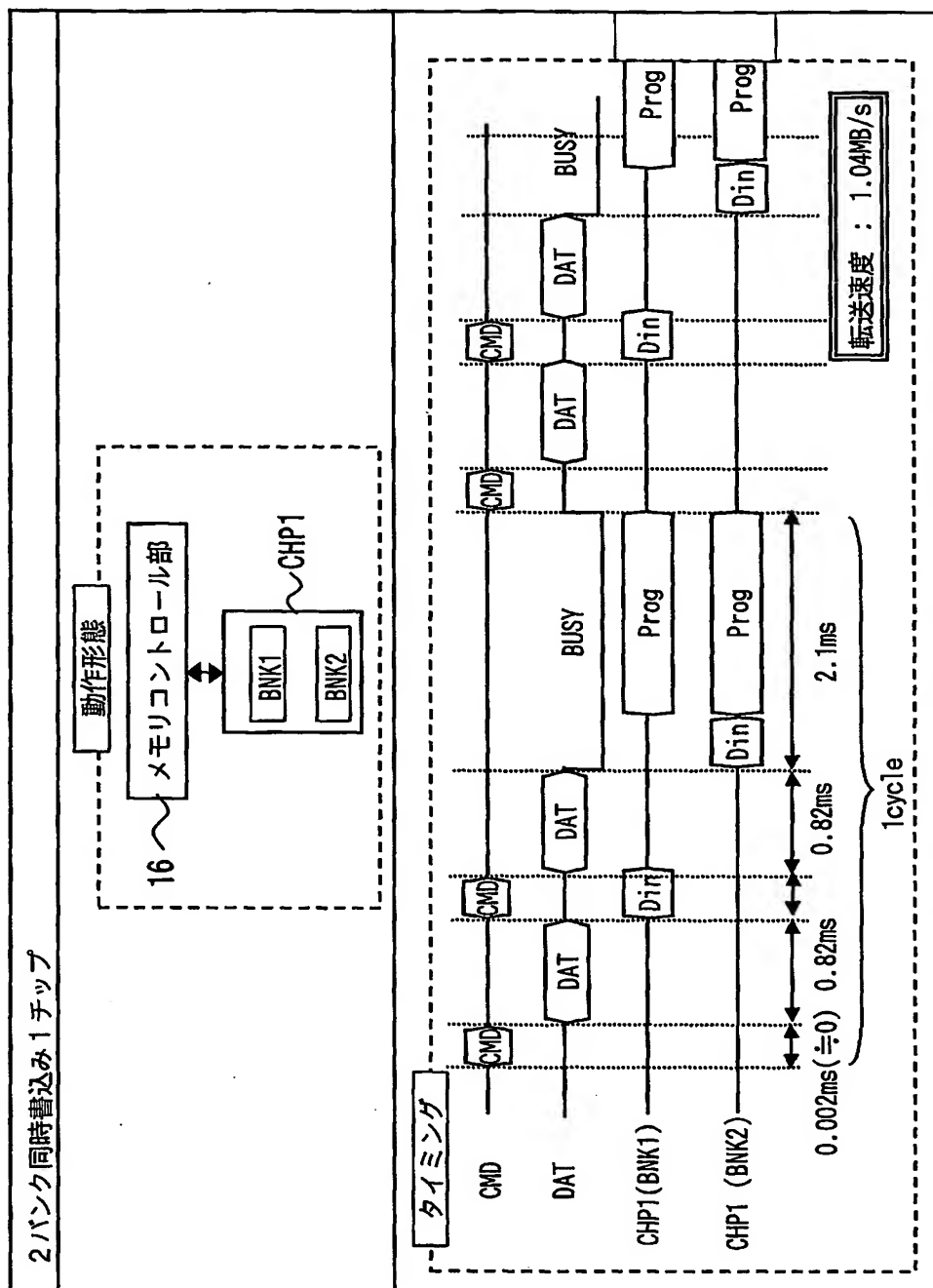
13/22

第14図



14/22

第15図

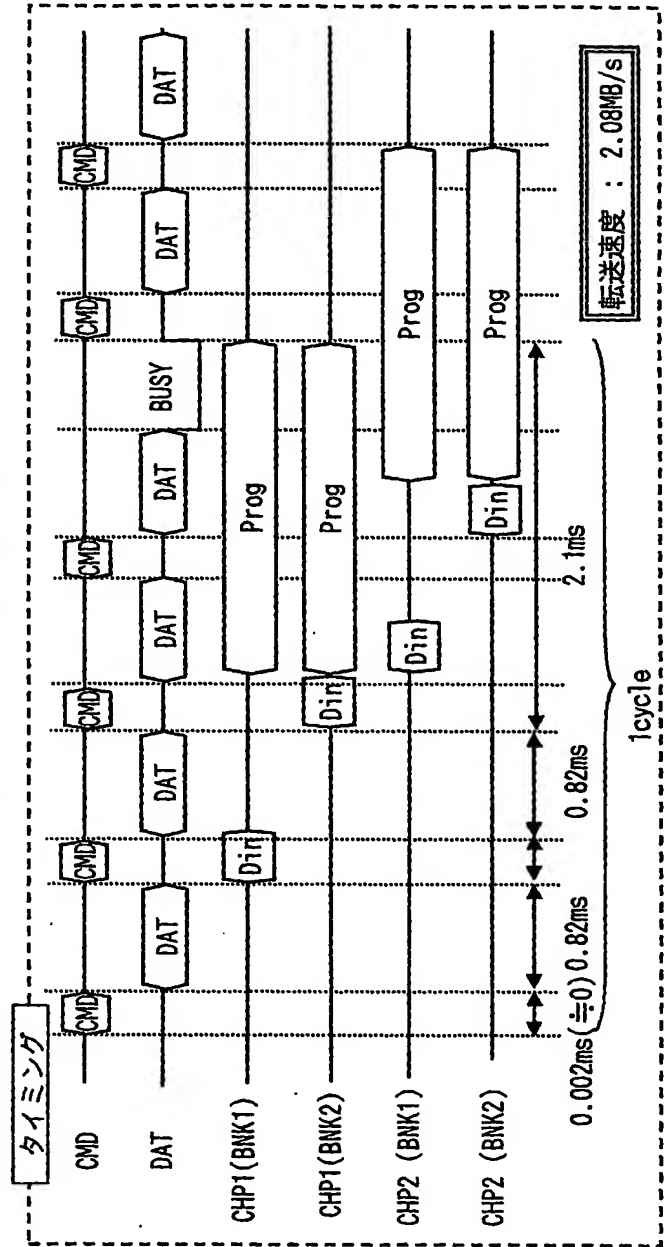
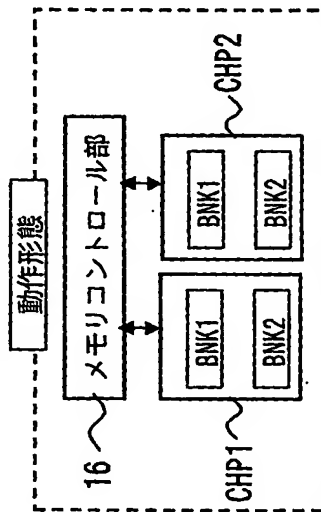




15/22

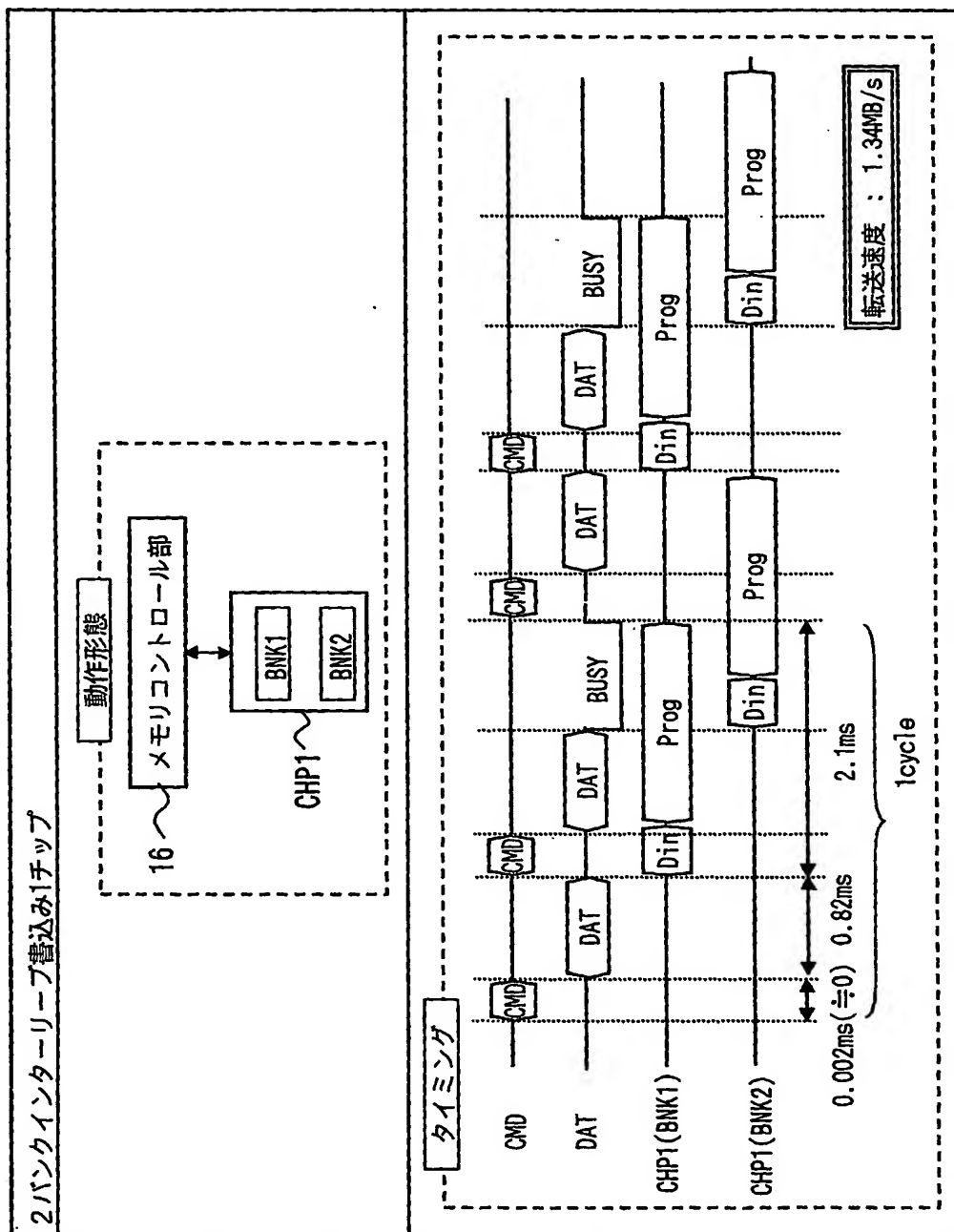
第16図

2バンク同時書き込み2チップ



16 / 22

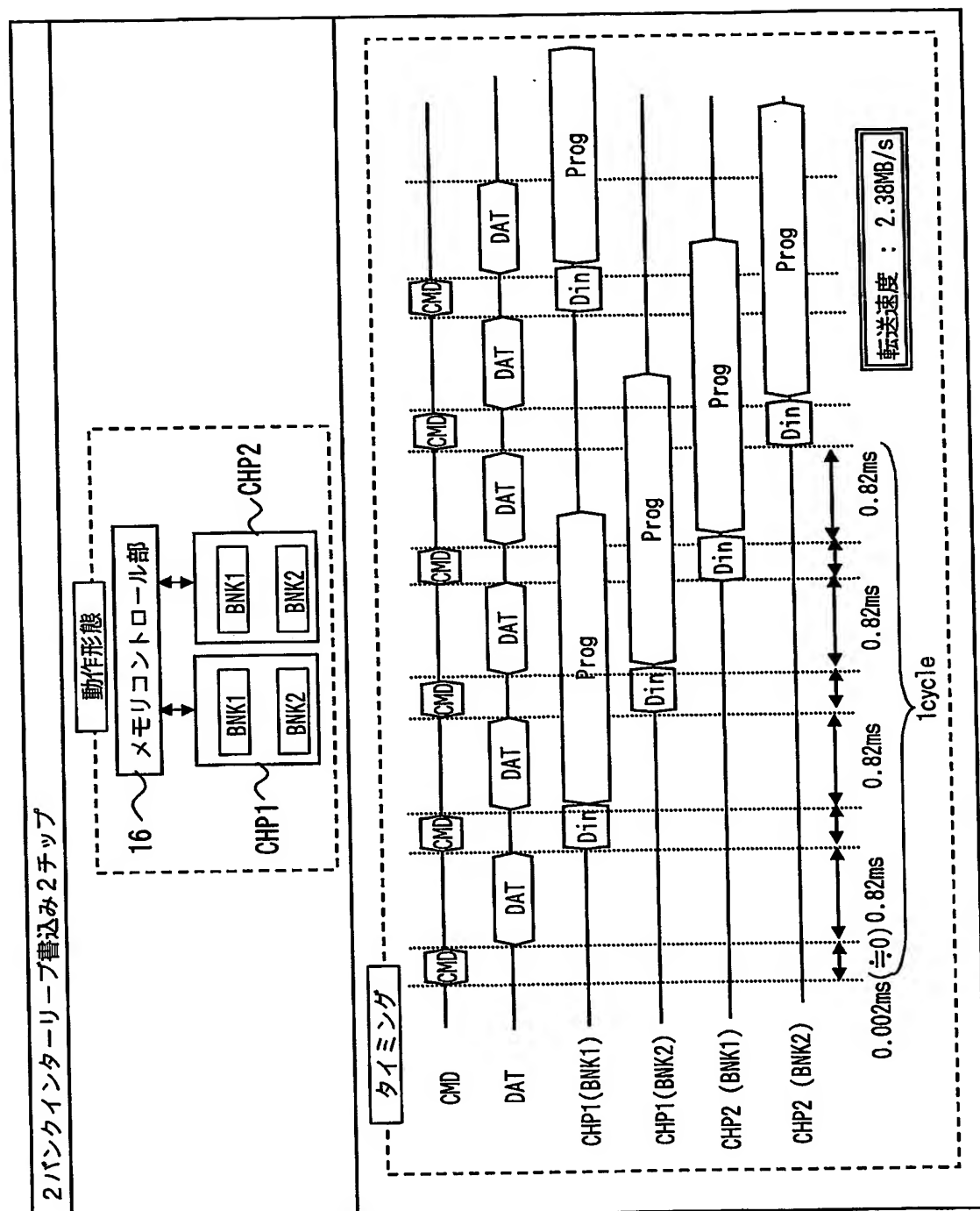
第17図



17/22

第18図

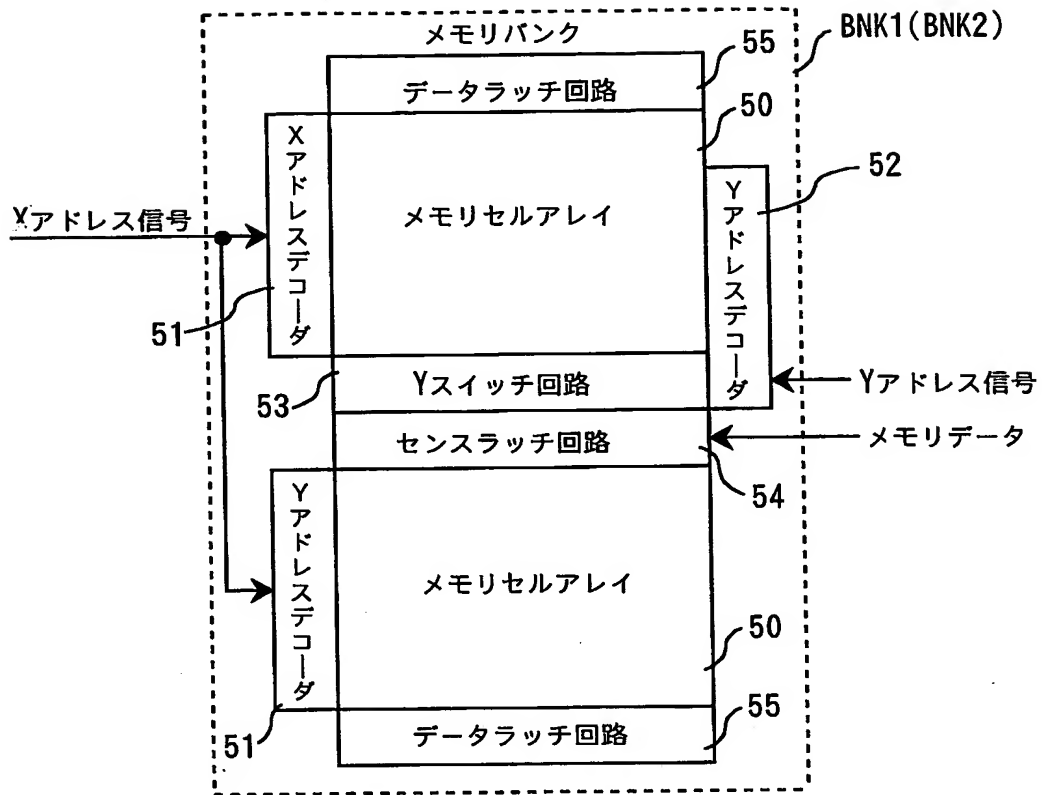
2バンクインターリーブ書き込み2チップ





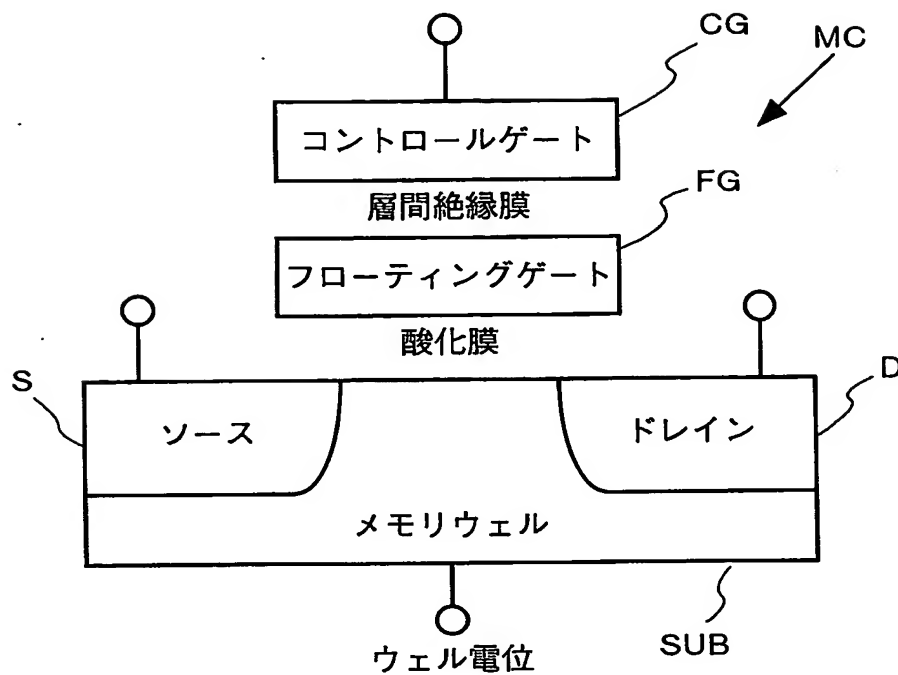
19/22

第20図

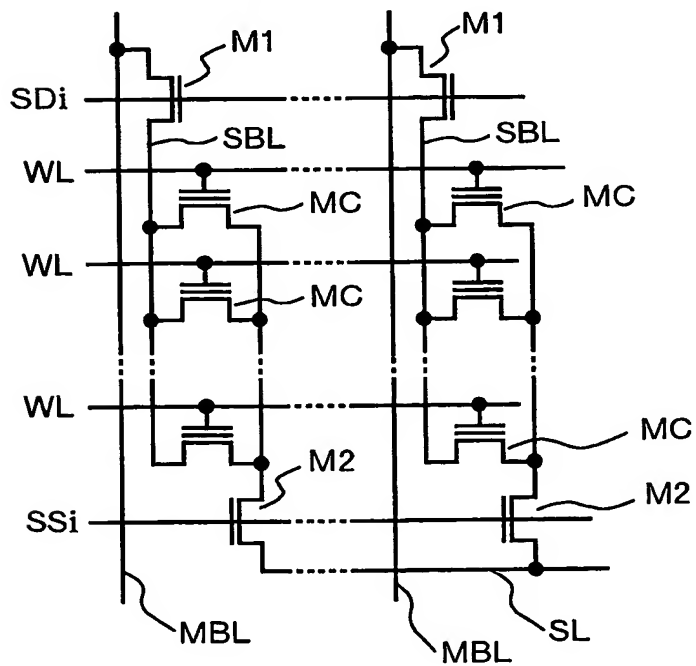


20/22

第21図

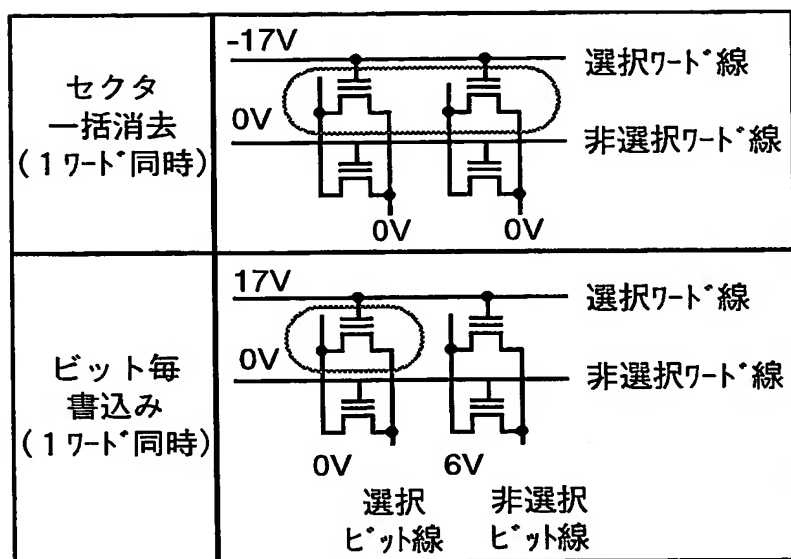


第22図



21 / 22

第 2 3 図



2 2 / 2 2

第 2 4 図

コマンド名	意味	1st	2nd	3rd	4th	5th	6th	7th
A								
Serial Read(1)	通常読み出し	00H	SA1	SA2	-	-	-	-
Serial Read(2)	管理領域読み出し	F0H	SA1	SA2	-	-	-	-
Read Identifier Codes	IDコード読み出し	90H	-	-	-	-	-	-
Data Recovery Read(1)	1BNK1動作時Recovery Data読み出し	01H	-	-	-	-	-	-
Data Recovery Read(2)	2Bank動作時BNK1 Recovery Data読み出し	02H	-	-	-	-	-	-
Data Recovery Read(3)	2Bank動作時BNK2 Recovery Data読み出し	03H	-	-	-	-	-	-
B								
Sector Erase	セクタ消去	20H	SA1	SA2	SA1×3	SA2×3	B0H	-
C								
Program(1)	通常書き込み(消去シーケンス入り)	10H	SA1	SA2	40H	-	-	-
Program(2)	通常書き込み	1FH	SA1	SA2	40H	SA1×2	SA2×2	40H
					40H	-	-	-
Program(3)	管理領域書き込み	0FH	SA1	SA2	40H	SA1×2	SA2×2	40H
					40H	-	-	-
Program(4)	書換え	11H	SA1	SA2	40H	SA1×2	SA2×2	40H
					40H	-	-	-
Program Retry	再書き込み	12H	SA1×3	SA2×3	40H	SA1×2	SA2×2	40H
D								
Clear Status Register(1)	BNK1, BNK2ステータスレジスタリセット	50H	-	-	-	-	-	-
Clear Status Register(2)	BNK1ステータスレジスタリセット	51H	-	-	-	-	-	-
Clear Status Register(3)	BNK2ステータスレジスタリセット	52H	-	-	-	-	-	-



## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/00025

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F12/00, 12/06, G11C16/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F3/06-08, 12/00-06, 13/16-18, G11C16/02, G06K19/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2002  
Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 2001-266579, A (Hitachi, Ltd.), 28 September, 2001 (28.09.01), Full text; all drawings (Particularly, Par. Nos. [0074] to [0132]; Fig. 17) (Family: none)	18 1-6, 11-17, 19-28
Y	JP, 2001-167586, A (Toshiba Corp.), 22 June, 2001 (22.06.01), Full text; all drawings (Particularly, Par. Nos. [0028] to [0031]; Fig. 8), (Family: none)	1-4, 11-17, 26
Y	JP, 2001-249890, A (Toshiba Corp.), 14 September, 2001 (14.09.01), Par. No. [0033] (Family: none)	5, 6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
29 March, 2002 (29.03.02)

Date of mailing of the international search report  
09 April, 2002 (09.04.02)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00025

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 6-4399, A (Hitachi, Ltd.), 14 January, 1994 (14.01.94), Full text; all drawings (Particularly, Par. Nos. [0011] to [0012]) & US 5530828 A & US 5809515 A & US 6145050 A & KR 9613024 B	16,23-28
Y	JP, 6-324937, A (Ricoh Co., Ltd.), 25 November, 1994 (25.11.94), Full text; all drawings (Particularly, Figs. 1, 3) & US 5513138 A	22-28
Y	US, 5890192, A (SanDisk Corp.), 30 March, 1999 (30.03.99), Full text; all drawings (Particularly, Figs. 2, 5) & US 6157983 A	1-4,11-17,26
A	WO, 01/18640, A1 (Lexar Media, Inc.), 15 March, 2001 (15.03.01), & US 6141249 A	1-29

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F12/00, 12/06, G11C16/02

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F 3/06-08, 12/00-06, 13/16-18,  
G11C 16/02,  
G06K 19/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-266579 A(株式会社日立製作所) 2001. 09. 28 全文, 全図 (特に第【0074】 - 【0132】 段落, 図17) (ファミリーなし)	18 1-6, 11-17, 19-28
Y	JP 2001-167586 A(株式会社東芝) 2001. 06. 22 全文, 全図(特に第【0028】 - 【0031】 段落, 図8) (ファミリーなし)	1-4, 11-17, 26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

29. 03. 02

国際調査報告の発送日

09.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀実

5N

9367

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-249890 A(株式会社東芝) 2001. 09. 14 第【0033】段落(ファミリーなし)	5, 6
Y	JP 6-4399 A(株式会社日立製作所) 1994. 01. 14 全文, 全図(特に【0011】 - 【0012】 段落) & US 5530828 A & US 5809515 A & US 6145050 A & KR 9613024 B	16, 23-28
Y	JP 6-324937 A(株式会社リコー) 1994. 11. 25 全文, 全図(特に図1, 図3) & US 5513138 A	22-28
Y	US 5890192 A(SanDisk Corporation) 1999. 03. 30 全文, 全図(特にfig2, fig5) & US 6157983 A	1-4, 11-17, 26
A	WO 01/18640 A1(LEXAR MEDIA, INC.) 2001. 03. 15 & US 6141249 A	1-29